



UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
CONCURSO PÚBLICO 2012 - EDITAL Nº21/2012
CARGO ENGENHEIRO ELETRÔNICO

Instruções

1. Você recebeu do fiscal um cartão de respostas e um caderno de questões contendo 60 (sessenta) questões. Verifique se os seus dados estão corretos. Se necessário, comunique ao fiscal.
2. É responsabilidade do candidato se certificar de que o nome do cargo informado nesta capa de prova corresponde ao nome do cargo informado no seu cartão de respostas.
3. O cartão de respostas só pode ser preenchido com caneta esferográfica de tinta indelével azul ou preta (Edital 21/2012, subitem 10.9.5).
4. O cartão de respostas NÃO pode ser dobrado, amassado, rasurado, manchado ou conter qualquer registro fora dos locais destinados às respostas.
5. Assinale no cartão de respostas a alternativa correta. O preenchimento do cartão de respostas deve ser feito conforme o exemplo a seguir:
A) B) C) D) E)
6. Você dispõe de 4 (quatro) horas para fazer a prova, incluindo o preenchimento do cartão de respostas. Respeite o espaço destinado às respostas.
7. Ao ser autorizado o início da prova, verifique, no caderno de questões, se a numeração das questões e a paginação estão corretas.
8. Após o início da prova, será efetuada a coleta da impressão digital de cada candidato (Edital 21/2012, subitem 10.9.7, alínea "a").
9. Somente após decorrida uma hora do início da prova o candidato poderá entregar o seu cartão de respostas e retirar-se da sala de prova (Edital 21/2012, subitem 10.9.7, alínea "c").
10. Após o término de sua prova, entregue obrigatoriamente o seu cartão de respostas ao fiscal.
11. Somente será permitido levar seu caderno de questões faltando uma hora para o término estabelecido para o fim da prova (Edital 21/2012, subitem 10.9.7, alínea "d").
12. É terminantemente vedado copiar respostas, em qualquer fase do concurso público (Edital 21/2012, subitem 10.9.7, alínea "e").
13. Os 3 (três) últimos candidatos de cada sala só poderão ser liberados juntos (Edital 21/2012, subitem 10.9.7, alínea "g").
14. Se você precisar de algum esclarecimento solicite a presença do responsável pelo local.
15. Transcreva a frase abaixo, utilizando letra cursiva, no espaço reservado no seu cartão de respostas.

*"A vida é a arte do encontro, embora haja tantos desencontros."
Vinicius de Moraes*

Cronograma Previsto - Divulgação e interposição de recurso

Atividade	Data	Local
Divulgação do gabarito preliminar	16/04/12	http://concursos.pr4.ufrj.br
Interposição de recursos contra o gabarito preliminar	17 e 18/04/12	
Resultado do julgamento dos recursos	02/05/12	
Resultado preliminar da prova objetiva	02/05/12	
Pedido de vista do cartão de respostas	03 e 04/05/12	
Vista do cartão de resposta	09/05/12	
Interposição de recursos - resultado preliminar - prova objetiva	10 e 11/05/12	
Resultado final da prova objetiva	15/05/12	

Língua Portuguesa

TEXTO - PAZ GLOBAL IMPOSSÍVEL

Umberto Eco

Perto do final de dezembro, a Academia Universal das Culturas discutiu em Paris o tema de como se pode imaginar a paz nos dias de hoje. Não definir ou desejar, mas imaginar. Logo, a paz parece ainda ser não apenas uma meta distante, mas um objeto desconhecido. Os teólogos a definiram como a *“tranquillita ordinis”*.

A tranquilidade de que ordem? Somos todos vítimas de um mito original: havia uma condição edênica, depois essa tranquilidade foi violada pelo primeiro ato de violência. Mas Heráclito nos preveniu de que “a luta é a regra do mundo, e a guerra é geradora comum e senhora de todas as coisas”. No início houve a guerra, e a evolução implica uma luta pela vida.

As grandes pazes que conhecemos na História, como a paz romana, ou, em nosso tempo, a paz americana (mas também já houve paz soviética, paz otomana, paz chinesa), foram resultados de uma conquista e uma pressão militar contínua através das quais se mantinha uma certa ordem e se reduzia o grau de conflitos no centro, à custa de algumas tantas pequenas, porém sangrentas, guerras periféricas. A coisa pode agradar a quem está no olho do furacão, mas quem está na periferia sofre a violência que serve para conservar o equilíbrio do sistema. “Nossa” paz se obtém sempre ao preço da guerra que sofrem os outros.

Isso deveria nos levar a uma conclusão cínica, porém realista: se queres a paz (para ti), prepara a guerra (contra os outros). Entretanto, nas últimas décadas, a guerra se transformou em algo tão complexo que não costuma mais chegar ao fim com uma situação de paz, nem que seja apenas provisória. Ao longo dos séculos, a finalidade da guerra tem sido a de derrotar o inimigo em seu próprio território, mantendo-o no desconhecimento quanto a nossos movimentos para poder pegá-lo de surpresa, conseguindo forte solidariedade na frente interna. Hoje, depois das guerras do Golfo e de Kosovo, temos visto não apenas jornalistas ocidentais falando das cidades inimigas bombardeadas, como também os representantes dos países adversários expressando-se livremente em nossas telas de televisão. Os meios de comunicação informavam ao inimigo sobre as posições e os movimentos dos “nossos”, como se Mata Hari tivesse se transformado em diretora da televisão local. Os chamados do inimigo dentro de nossa própria casa e a prova visual insuportável da destruição provocada pela guerra levaram a que se dissesse que não se deveriam assassinar os inimigos (ou mostrar que eram assassinados por engano), e, por outro lado, parecia insustentável a idéia de que um dos nossos pudesse morrer. Dá para se fazer uma guerra nessas condições?

1. As coisas ficaram ainda piores depois de 11 de setembro. O inimigo está em nossa casa, mas agora os meios de comunicação não podem mais monitorá-lo, porque ele está na clandestinidade. Cada ato terrorista vem ampliado pelos meios de comunicação, que, desse modo, fazem o jogo do adversário. Vão tirar de Saddam as armas que o Ocidente lhe ofereceu e que, talvez, ainda lhe esteja fornecendo, mas o verdadeiro inimigo nem sequer precisa mais de armas e tecnologias próprias: usa as daquele que quer destruir.

A discussão sobre a paz referida no primeiro parágrafo do texto:

- A) apresenta a paz como algo bastante próximo da sociedade humana;
- B) indica ser a paz uma criação da mente humana, não uma realidade;
- C) refere-se à paz como um ideal a ser atingido pelo homem;
- D) mostra a paz como um bem teológico, mas não humano;
- E) demonstra que a paz não pode sequer ser imaginada pelo homem.

2. No texto há elementos chamados dêiticos, cujo significado é dado ao leitor pelo conhecimento da situação em que esse texto é produzido: assim, “perto

do final de dezembro” só tem seu significado claramente estabelecido se o leitor souber em que ano o texto foi produzido. O mesmo ocorre em:

- A) “Ao longo dos séculos, a finalidade da guerra tem sido a de derrotar o inimigo”;
- B) “...havia uma condição edênica, depois essa tranquilidade foi violada pelo primeiro ato de violência”;
- C) “a luta é a regra do mundo, e a guerra é a geradora comum e senhora de todas as coisas”;
- D) “No início houve a guerra, e a evolução implica uma luta pela vida”;
- E) “...a Academia Universal das Culturas discutiu em Paris o tema de como se pode imaginar a paz nos dias de hoje”.

3. Considerando a frase adaptada do texto “A Academia discutiu em Paris o tema de como se pode imaginar a paz nos dias de hoje”; a forma de reescrevê-la que altera o seu sentido original é:

- A) foi discutido em Paris o tema de como se pode imaginar a paz nos dias de hoje;
- B) o tema de como se pode imaginar a paz nos dias de hoje foi discutido em Paris;
- C) a Academia discutiu, nos dias de hoje, como se pode imaginar a paz;
- D) a Academia discutiu em Paris de como pode ser imaginada a paz nos dias de hoje;
- E) como pode ser imaginada a paz nos dias de hoje foi o tema discutido em Paris pela Academia.

4. “Logo, a paz parece ainda não ser uma meta distante, mas um objeto desconhecido”; assinale a frase correta sobre os componentes desse segmento do primeiro parágrafo do texto:
- A) os termos “meta distante” e “objeto desconhecido” indicam características da paz que se somam;
 B) o emprego da forma verbal “parece” mostra um ponto de vista firmemente estabelecido pela Academia;
 C) o vocábulo “ainda” indica uma esperança do autor do texto a respeito da possibilidade da paz;
 D) o vocábulo “logo” introduz uma conclusão retirada das informações anteriormente fornecidas;
 E) a utilização do vocábulo “meta” indica que a discussão da Academia pretendia alcançar determinados objetivos.
5. O texto utiliza sinais gráficos para expressar o que deseja. A alternativa em que os sinais gráficos destacados estão adequadamente explicados é:
- A) grafia em itálico e entre aspas em “tranquillita ordinis” para marcar o emprego de estrangeirismo;
 B) emprego de aspas em “a luta é a regra do mundo, e a guerra é geradora de todas as coisas” para indicar que as palavras merecem atenção especial;
 C) uso de parênteses em “(mas também já houve paz soviética, paz otomana, paz chinesa)” para retificar uma informação dada anteriormente;
 D) emprego de parênteses em “se queres a paz (para ti), prepara a guerra (contra os outros)” para desfazer ambiguidades;
 E) emprego de aspas em “nossos” (quarto parágrafo) para indicar uma ironia.
6. “Somos todos vítimas de um mito original”. Nesse segmento do texto temos o que se chama de “silepse de pessoa”, marcada pelo seguinte traço:
- A) o vocábulo “vítimas” é empregado como masculina e não como feminina;
 B) a concordância da forma verbal (somos) não está de acordo com o sujeito (vítimas);
 C) a concordância nominal entre “todos” e “vítimas” não é gramaticalmente correta;
 D) a forma verbal “somos” deveria ser empregada no passado e não no presente;
 E) o autor se inclui entre as vítimas do mito original citado.
7. “Somos todos vítimas de um mito original: havia uma condição edênica, depois essa tranquilidade foi violada pelo primeiro ato de violência”. Nesse segmento do texto há uma referência explícita:
- A) ao mito do paraíso bíblico;
 B) ao descobrimento do Brasil;
 C) à criação do homem;
 D) às guerras mitológicas entre deuses e homens;
 E) aos conflitos naturais entre o céu e a terra.
8. “Mas Heráclito nos preveniu de que ‘a luta é a regra do mundo, e a guerra é a geradora comum e senhora de todas as coisas’ “. O pensamento abaixo que repete a visão de Heráclito sobre a guerra é:
- A) “Em meio às armas, as leis calam”. (Cícero)
- B) “É sábio experimentar todos os caminhos antes de chegar às armas”. (Terêncio)
- C) “Uma vez declarada a guerra, é impossível deter os poetas. A rima ainda é o melhor tambor”. (Giraudoux)
- D) “Enquanto o homem for um animal, viverá por meio de luta e à custa dos outros, temerá e odiará o próximo – a vida, portanto, é guerra”. (H. Hesse)
- E) “Quanto mais fortes somos, menos provável é a guerra”. (Bismarck)
9. O segmento do texto que mostra o valor semântico do vocábulo sublinhado de forma correta é:
- A) “...não costuma mais chegar ao fim com uma situação de paz...” / comparação;
 B) “Isso deveria nos levar a uma conclusão cínica, porém, realista...” / retificação;
 C) “As grandes pazes que conhecemos na História, como a paz romana” / exemplificação ;
 D) “O inimigo está em nossa casa, mas agora os meios de comunicação não podem mais monitorá-lo...” / adição;
 E) “...mas também já houve paz soviética, paz otomana, paz chinesa...” / concessão.
10. “Entretanto, nas últimas décadas, a guerra se transformou em algo tão complexo, que não costuma mais chegar ao fim com uma situação de paz...”. A oração sublinhada tem valor de:
- A) consequência;
 B) causa;
 C) comparação;
 D) condição;
 E) modo.
11. “Isso deveria nos levar a uma conclusão cínica, porém realista: se queres a paz (para ti), prepara a guerra (contra os outros)”. Tal situação pode ser designada de:
- A) metafórica;
 B) paradoxal;
 C) sinestésica;
 D) metonímica;
 E) alegórica.
12. “...como se Mata Hari tivesse se transformado em diretora da televisão local”. Com essa referência a uma famosa espiã da Segunda Guerra Mundial, o autor quer dizer que os atuais meios de comunicação:
- A) atuam como informantes do inimigo;
 B) funcionam como espiões favoráveis a seus países;
 C) denunciam as crueldades da guerra moderna;
 D) informam o público sobre detalhes ocultos da guerra;
 E) demonstram a fragilidade das informações secretas.
13. “Dá para se fazer uma guerra nessas condições?” A marca da guerra moderna que mais acentuadamente provocou a reação do autor do texto, contida na frase destacada, é:
- A) “mostrar que eram assassinados apenas por engano”;
 B) “Os chamados do inimigo dentro de nossa própria casa”;
 C) “a prova visual insuportável da destruição”;
 D) “não se deveriam assassinar os inimigos”;

E) “parecia insustentável a idéia de que um dos nossos pudesse morrer”.

14. “Cada ato terrorista vem ampliado pelos meios de comunicação, que, desse modo, fazem o jogo do adversário”. Os meios de comunicação fazem o jogo do adversário porque:

- A) demonstram que a coragem leva ao triunfo de algumas idéias;
- B) elogiam a coragem e a dedicação dos praticantes de atos terroristas;
- C) condenam exageradamente os terroristas;
- D) mostram as fraquezas dos sistemas de defesa do país;
- E) propagam amplamente os atos terroristas praticados.

15. O texto tem as características básicas do modo de organização:

- A) narrativo;
- B) argumentativo;
- C) descritivo;
- D) expositivo;
- E) enunciativo.

16. O segmento do texto que mostra uma variante coloquial de linguagem é:

- A) “O inimigo está em nossa casa...”.
- B) “Dá para se fazer uma guerra nessas condições?” .
- C) “Isso nos deveria levar a uma conclusão cínica, porém realista...”.
- D) “Somos todos vítimas de um mito original...”.
- E) “...a finalidade da guerra tem sido a de derrotar o inimigo em seu próprio território”.

17. A distinção fundamental entre a guerra na atualidade e a guerra do passado é:

- A) a divulgação da morte de “nossos” soldados;
- B) a crueldade claramente divulgada pela mídia;
- C) a abundância do noticiário, que transforma a guerra em algo banal;
- D) a interferência da opinião pública nos destinos da guerra;
- E) a presença do inimigo em nosso território através dos meios de comunicação.

18. O segmento que mostra que o texto foi produzido já há algum tempo é:

- A) “Somos todos vítimas de um mito original...”.
- B) “...como se Mata Hari tivesse se transformado em diretora da televisão local”.
- C) “Vão tirar de Saddam as armas que o Ocidente lhe forneceu...”.
- D) “Hoje, depois das guerras do Golfo e de Kosovo...”.
- E) “As coisas ficaram ainda piores depois de 11 de setembro”.

19. A frase do texto que se encontra na voz passiva é:

- A) “...nem que seja apenas provisória”.
- B) “Somos todos vítimas de um mito original...”.
- C) “...foram resultados de uma conquista e uma pressão militar contínua...”.
- D) “...depois essa tranquilidade foi violada pelo primeiro ato de violência”.
- E) “...expressando-se livremente em nossos meios de comunicação”.

20. Por tratar-se de um texto objetivo, são abundantes os encontros de substantivos + adjetivos objetivos. A alternativa que mostra um par de valor subjetivo é:

- A) conclusão cínica;
- B) objeto desconhecido;
- C) mito original;
- D) paz romana;
- E) frente interna.

Lei nº 8.112/1990

21. A Constituição da República Federativa do Brasil – a Constituição Cidadã, como a definiu o deputado Ulisses Guimarães, presidente da Assembleia Nacional Constituinte (1987 e 1988) – resulta do anseio e das lutas sociais pela democratização do Estado, da Sociedade e das relações entre essas esferas públicas, após mais de 20 anos de ditadura militar. Um dos avanços que promoveu foi o estabelecimento de um Regime Jurídico Único (RJU) para os servidores da administração pública direta, das autarquias e das fundações públicas. Para o cumprimento dessa determinação, foi aprovada, em 1990, a Lei nº 8.112.

Considerado esse contexto, assinale qual dos dispositivos do RJU adiante relacionados expressa a ideia do exercício do controle social sobre a administração pública:

- A) se julgado incapaz para o serviço público, o readaptando será aposentado;
- B) o estágio probatório ficará suspenso durante as licenças e os afastamentos previstos na Lei, bem assim na hipótese de participação em curso de formação, e será retomado a partir do término do impedimento;
- C) a gratificação natalina não será considerada para cálculo de qualquer vantagem pecuniária;
- D) os cargos públicos, acessíveis a todos os brasileiros, são criados por lei, com denominação própria e vencimento pago pelos cofres públicos, para provimento em caráter efetivo ou em comissão;
- E) o retorno à atividade de servidor em disponibilidade far-se-á mediante aproveitamento obrigatório em cargo de atribuições e vencimentos compatíveis com o anteriormente ocupado.

22. Consideradas as circunstâncias histórico-políticas da transição do regime ditatorial militar para o regime democrático, operada em meados dos anos 1980, podemos identificar no corpo do Regime Jurídico Único diversas marcas do “DNA” da Constituição de 1988; especialmente no que se refere ao propósito de democratizar as relações entre Estado e Sociedade. Assim é que nas Disposições Gerais do Capítulo I da Lei nº 8.112, nos termos do Artigo 5º, estão estabelecidos os seis requisitos básicos para investidura em cargo público.

Dentre as alternativas adiante, assinale aquela que menciona apenas os requisitos que têm relação direta com o conceito de cidadania. São requisitos básicos para investidura em cargo público:

- A) a nacionalidade brasileira; o gozo dos direitos políticos; a quitação com as obrigações militares e eleitorais;
- B) o nível de escolaridade exigido para o exercício do cargo; a idade mínima de dezoito anos; aptidão física e mental;

- C) a nacionalidade brasileira; a idade mínima de dezoito anos; aptidão física e mental;
- D) aptidão física e mental; o gozo dos direitos políticos; o nível de escolaridade exigido para o exercício do cargo;
- E) o gozo dos direitos políticos; a idade mínima de dezoito anos; aptidão física e mental.

23. Um indicador importante da democratização do acesso aos cargos públicos regulamentada no RJU diz respeito ao estabelecimento de um percentual das vagas oferecidas em concursos para provimento de cargos destinado às pessoas portadoras de deficiência, conforme consta do parágrafo 2º do Artigo 5º.

Assinale a alternativa que define corretamente essa norma de acesso.

- A) Às pessoas portadoras de deficiência é assegurado o direito de se inscrever em concurso público para provimento de cargo cujas atribuições sejam compatíveis com a deficiência de que são portadoras; até 20% (vinte por cento) das vagas oferecidas no concurso serão reservadas exclusivamente para os portadores de deficiência visual.
- B) Apenas às pessoas portadoras de deficiência motora é assegurado o direito de se inscrever em concurso público para provimento de todos os cargos oferecidos; para tais pessoas serão reservadas até 20% (vinte por cento) das vagas oferecidas no concurso.
- C) Às pessoas portadoras de deficiência é assegurado o direito de se inscrever em concurso público para provimento de cargo cujas atribuições sejam compatíveis com a deficiência de que são portadoras; para tais pessoas serão reservadas até 5% (cinco por cento) das vagas oferecidas no concurso.
- D) Às pessoas portadoras de deficiência é assegurado o direito de se inscrever em concurso público para provimento de todos os cargos oferecidos; para tais pessoas serão reservadas até 5% (cinco por cento) das vagas oferecidas no concurso.
- E) Às pessoas portadoras de deficiência é assegurado o direito de se inscrever em concurso público para provimento de cargo cujas atribuições sejam compatíveis com a deficiência de que são portadoras; para tais pessoas serão reservadas até 20% (vinte por cento) das vagas oferecidas no concurso.

24. Ao refletir sobre a importância estratégica da gestão pública no Brasil, o ex-ministro do Desenvolvimento Social e Combate à Fome, Patrus Ananias, mencionou, em uma palestra, “duas sombras que por muito tempo têm dificultado o desenvolvimento das potencialidades do nosso país”. Uma delas refere-se à falta de tradição de políticas públicas sociais voltadas para os mais pobres. A outra sombra – disse ele – “diz respeito à burocracia, mas uma burocracia que paralisa, que se torna sinônimo de entrave, ineficiência e atraso e que aqui diz respeito principalmente a um perigoso processo de burocracia das almas, que conduz ao envelhecimento das práticas e à falta de motivação.”

O Artigo 81 do RJU concede licença ao servidor em oito situações distintas. Assinale a alternativa que

contém apenas as situações estritamente relacionadas com a motivação profissional e com o desenvolvimento do servidor:

- A) por motivo de doença em pessoa da família; para tratar de interesses particulares; por motivo de afastamento do cônjuge ou companheiro;
- B) para capacitação; para desempenho de mandato classista; para atividade política;
- C) por motivo de afastamento do cônjuge ou companheiro; para o serviço militar; para capacitação;
- D) para atividade política; para desempenho de mandato classista; para tratar de interesses particulares;
- E) para capacitação; para o serviço militar; por motivo de doença em pessoa da família.

25. As universidades e demais instituições de ensino e pesquisa mantidas pela União, se distinguem de quaisquer outros órgãos e estruturas do Estado, em razão das especificidades de sua missão social e da natureza especialíssima das atividades que desenvolvem. Por isso, está prevista no RJU, no caso dessas instituições, uma exceção quanto ao ingresso de estrangeiros nos quadros de cargos efetivos da administração pública federal; exceção essa incluída pela Lei nº 9.515, de 20.11.97.

A alternativa que define corretamente essa norma de acesso é:

- A) as universidades e instituições de pesquisa científica e tecnológica federais, estaduais e municipais poderão prover seus cargos com professores, técnicos e cientistas estrangeiros, de acordo com as normas e os procedimentos desta Lei;
- B) as universidades e instituições de pesquisa científica e tecnológica federais poderão prover seus cargos com professores, técnicos e cientistas estrangeiros, de acordo com as normas e os procedimentos desta Lei;
- C) apenas as universidades e instituições de pesquisa científica e tecnológica estaduais poderão prover seus cargos com professores, técnicos e cientistas estrangeiros, de acordo com as normas e os procedimentos desta Lei;
- D) as universidades e instituições de pesquisa científica e tecnológica federais poderão prover seus cargos com professores, técnicos e cientistas estrangeiros, desde que sejam originários de países integrantes do MERCOSUL;
- E) as universidades e instituições de pesquisa científica e tecnológica federais poderão prover seus cargos com professores, técnicos e cientistas estrangeiros, desde que eles comprovem residência no Brasil há mais de 10 anos.

26. Em seu Título IV, o RJU trata do *Regime Disciplinar* que regula as condutas dos servidores públicos. Na legislação e jurisprudência correlatas (pareceres, acórdãos, notas técnicas, de órgãos do controle externo, tribunais, ministérios) figura o detalhamento analítico dessas determinações. Desse modo, por exemplo, o Parecer da Advocacia Geral da União (AGU) nº GQ-164, vinculante, assim define uma das condutas proibidas pelo RJU:

“Desídia (e). É falta culposa, e não dolosa, ligada à negligência: costuma caracterizar-se pela prática ou omissão de vários atos (comparecimento impontual,

ausências, produção imperfeita); excepcionalmente poderá estar configurada em um só ato culposo muito grave; (...) Quando a desídia é intencional, como na sabotagem, onde há a idéia preconcebida de causar prejuízos ao empregador, por esse aspecto doloso, ela se identifica com a improbidade. (...) (Mozart Victor Russomano - Comentários à CLT, 13ª ed, Rio de Janeiro: Forense, 1990, p. 561).”

A alternativa na qual consta o dispositivo do RJU a que se refere o Parecer da AGU citado é:

- A) ao servidor é proibido praticar usura sob qualquer de suas formas;
- B) é dever do servidor exercer com zelo e dedicação as atribuições do cargo;
- C) ao servidor é proibido promover manifestação de apreço ou desapeço no recinto da repartição;
- D) é dever do servidor ser leal às instituições a que servir;
- E) ao servidor é proibido proceder de forma desidiosa.

27. Em sua perspectiva *cidadã*, a Constituição da República Federativa do Brasil, no artigo 37, estabelece os princípios de legalidade, impessoalidade, moralidade, publicidade e eficiência, que devem ser obedecidos pela administração pública direta e indireta de qualquer dos Poderes da União, dos Estados, do Distrito Federal e dos Municípios. Determina, ainda, que “as pessoas jurídicas de direito público e as de direito privado prestadoras de serviços públicos responderão pelos danos que seus agentes, nessa qualidade, causarem a terceiros, assegurado o direito de regresso contra o responsável nos casos de dolo ou culpa.”

A alternativa em que NÃO figura dispositivo constante do Capítulo IV do RJU, que trata das “Responsabilidades” é:

- A) a responsabilidade administrativa do servidor será afastada no caso de absolvição criminal que negue a existência do fato ou sua autoria;
- B) o servidor responde civil, penal e administrativamente pelo exercício irregular de suas atribuições;
- C) por motivo de crença religiosa ou de convicção filosófica ou política, o servidor não poderá ser privado de quaisquer dos seus direitos, sofrer discriminação em sua vida funcional, nem eximir-se do cumprimento de seus deveres;
- D) tratando-se de dano causado a terceiros, responderá o servidor perante a Fazenda Pública, em ação regressiva;
- E) a indenização de prejuízo dolosamente causado ao erário somente será liquidada na forma prevista no art. 46, na falta de outros bens que assegurem a execução do débito pela via judicial.

28. Durante muitos anos, a legislação trabalhista brasileira, autoritariamente, não permitiu aos servidores públicos constituir ou participar de entidades sindicais. Na esteira da reordenação democrática consignada na Constituição, o RJU, em suas *Disposições Gerais*, reconhece esse direito à organização. Conforme disposto em seu artigo 240, “Ao servidor público civil é assegurado, nos termos da Constituição Federal, o direito à livre associação sindical e os seguintes direitos, entre outros, dela decorrentes: (...)”.

A alternativa em que NÃO figura qualquer dos direitos decorrentes da associação sindical a que se refere o artigo 240 mencionado é:

- A) de descontar em folha, sem ônus para a entidade sindical a que for filiado, o valor das mensalidades e contribuições definidas em assembléia geral da categoria;

- B) de ser representado pelo sindicato, inclusive como substituto processual;
- C) de inamovibilidade do dirigente sindical, até um ano após o final do mandato, exceto se a pedido;
- D) de receber prêmios pela apresentação de idéias, inventos ou trabalhos que favoreçam o aumento de produtividade e a redução dos custos operacionais;
- E) de participar de reuniões, congressos, encontros e demais eventos sindicais.

29. O Regime Disciplinar dos servidores é constituído de um conjunto de regras destinado a apurar a ocorrência de casos de irregularidades decorrentes de atos ou condutas administrativas. As questões disciplinares têm amplo destaque no RJU. A elas são dedicados dois Títulos (o *Do Regime Disciplinar – IV* e o *Do Processo Disciplinar – V*); oito Capítulos (*dos Deveres, das Proibições, da Acumulação, das Responsabilidades, das Penalidades, das Disposições Gerais, do Afastamento Preventivo, do Processo Disciplinar*); 66 artigos (do 116 ao 182), além de vasta legislação correlata (com dezenas de Leis, Decretos, Portarias, Enunciados, Instruções Normativas, Manifestações diversas de Órgãos de Controle Externo e de Tribunais Superiores).

A alternativa que se refere diretamente à revisão do processo, disciplinada na Seção III, do Capítulo III, do Título IV é:

- A) extinta a punibilidade pela prescrição, a autoridade julgadora determinará o registro do fato nos assentamentos individuais do servidor;
- B) no processo revisional, o ônus da prova cabe ao requerente;
- C) verificada a ocorrência de vício insanável, a autoridade que determinou a instauração do processo ou outra de hierarquia superior declarará a sua nulidade, total ou parcial, e ordenará, no mesmo ato, a constituição de outra comissão para instauração de novo processo;
- D) quando o relatório da comissão contrariar as provas dos autos, a autoridade julgadora poderá, motivadamente, agravar a penalidade proposta, abrandá-la ou isentar o servidor de responsabilidade;
- E) as testemunhas serão inquiridas separadamente.

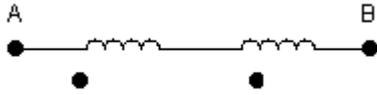
30. Em seu Título III, o RJU trata dos *Direitos e Vantagens* do servidor. No Capítulo I desse Título está definido o que é *vencimento* e o que é *remuneração*. O primeiro, nos termos do artigo 40, “é a *retribuição pecuniária pelo exercício de cargo público, com valor fixado em lei*.”. A segunda, conforme estabelecido no artigo 41, “é o *vencimento do cargo efetivo, acrescido das vantagens pecuniárias permanentes estabelecidas em lei*.”.

Considerando essa conceituação, assinale a alternativa que relaciona corretamente as vantagens que, nos termos do artigo 49, poderão ser pagas ao servidor:

- A) bônus semestral por cumprimento do dever; adicional por assiduidade; indenizações;
- B) indenizações, comissões, gratificação junina;
- C) gratificações, adicional por assiduidade, indenizações;
- D) adicionais, gratificação junina; premiação pecuniária por zelo e dedicação;
- E) indenizações, gratificações, adicionais.

Questões específicas

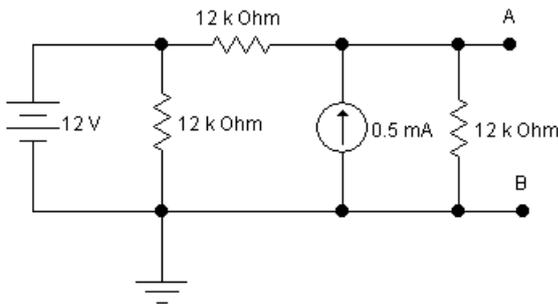
31. Dois indutores de $10,0 \mu\text{H}$ são ligados em série, conforme o diagrama abaixo. A indutância mútua entre os dois indutores é de $5,0 \mu\text{H}$. Os pontos sob os indutores indicam o sentido de enrolamento das bobinas



A indutância total equivalente entre os pontos A e B é de:

- A) $10,0 \mu\text{H}$;
- B) $30,0 \mu\text{H}$;
- C) $25,0 \mu\text{H}$;
- D) $0,0 \mu\text{H}$;
- E) $40,0 \mu\text{H}$.

32. Analise o circuito

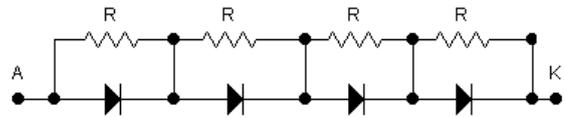


O equivalente de Thevenin entre os pontos A e B do circuito corresponde a uma fonte de:

- A) tensão de 9,0 Volts em série com um resistor de $4,0 \text{ k}\Omega$;
- B) corrente de 0,5 mA em paralelo com um resistor de $12,0 \text{ k}\Omega$;
- C) tensão de 12,0 Volts em série com um resistor de $6,0 \text{ k}\Omega$;
- D) corrente de 0,5 mA em série com um resistor de $18,0 \text{ k}\Omega$;
- E) tensão de 9,0 Volts em série com um resistor de $6,0 \text{ k}\Omega$.

33. Um engenheiro desejava projetar uma fonte, com retificadores em ponte, em que cada diodo retificador suportasse uma tensão inversa de 1.200 Volts e uma corrente de 500mA. Entretanto, ele dispunha apenas de retificadores que suportavam, no máximo, a corrente de tensões inversas de 400Volts cada um. Para resolver o problema, decidiu colocar três diodos em série; mas eles explodiram quando a fonte foi ligada. Pôs, então, quatro diodos em série. Mas esses também explodiram quando foram alimentados. Tendo identificado a origem

do problema, o engenheiro utilizou, então, resistores em paralelo, para equalizá-los, entre os pontos A e K, como mostrado no circuito abaixo:

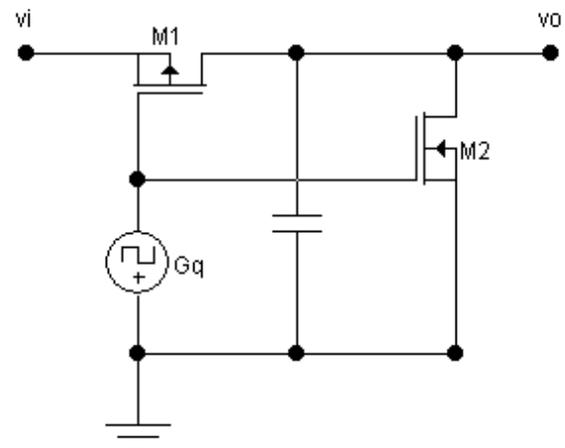


Ao consultar o manual do fabricante, o engenheiro notou que a corrente inversa de cada diodo retificador era menor ou igual a $10,0 \mu\text{A}$ (micro-ampere), para uma tensão inversa de 300 Volts.

Tomando como base o projeto mencionado, indique, dentre os valores abaixo, qual o mais recomendado para o resistor R de equalização:

- A) $50 \text{ M}\Omega$;
- B) $200 \text{ M}\Omega$;
- C) $100 \text{ M}\Omega$;
- D) $3 \text{ M}\Omega$;
- E) $300 \text{ M}\Omega$.

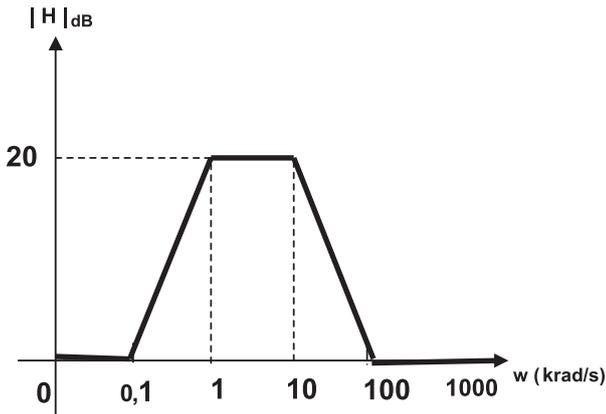
34. No circuito abaixo, M1 é um MOSFET canal P, enquanto M2 é um MOSFET canal N. O gerador Gq é de ondas quadradas de tensão, com uma frequência de 8000 Hz e com componente DC nula; isto é, apresenta valores quadrados positivos (+ 5Volts) e negativos (-5 Volts), em relação ao ponto de aterramento. Esses valores podem levar M1 e M2 à saturação ou ao corte. A entrada é o sinal $v_i = V_i \cdot \text{sen } 2\pi \cdot f \cdot t$, sendo V_i variável, mas sempre menor que 0,1 Volts, e "f" variável de 300 a 3400 Hz.



Nesse caso, podemos concluir que o circuito é um:

- A) elo de malha de fase locada (PLL);
- B) amplificador diferencial;
- C) amostrador e armazenador (S/H);
- D) modulador em amplitude;
- E) multiplicador.

35. O gráfico abaixo é o Diagrama de Bode, que mostra a função de transferência de um circuito.

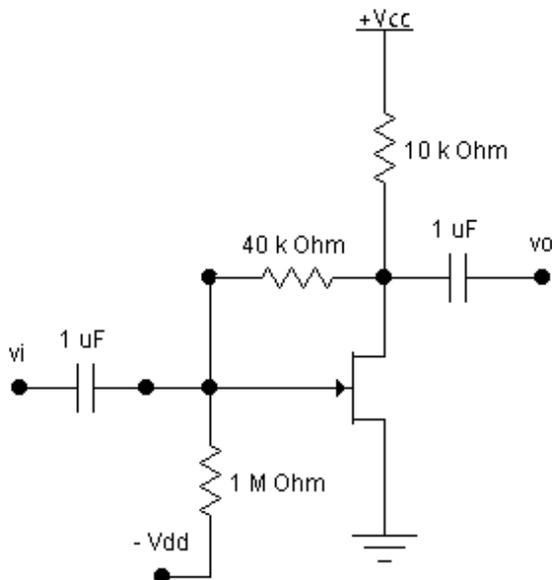


Pelo Diagrama podemos afirmar que a função de transferência apresenta:

- A) um pólo e um zero;
- B) dois pólos e dois zeros;
- C) um pólo e dois zeros;
- D) dois pólos e nenhum zero;
- E) quatro pólos.

36. O amplificador do circuito desse item é realizado com um FET canal N. A tensão de entrada “vi” é senoidal de pequena amplitude, e “vo” a tensão de saída.

O FET apresenta $r_d = 12\text{ k}\Omega$ e $\mu = 30$.



Depois de fazer as simplificações que julgar necessárias para a análise do circuito, assinale entre as opções abaixo aquela que, aproximadamente, corresponde ao módulo do ganho de tensão v_o/v_i .

- A) 64;
- B) 24;
- C) 36;
- D) 48;
- E) 12.

37. Na Função “F” deste item, A, B, C e D são variáveis lógicas e A^* , B^* , C^* e D^* seus complementos.

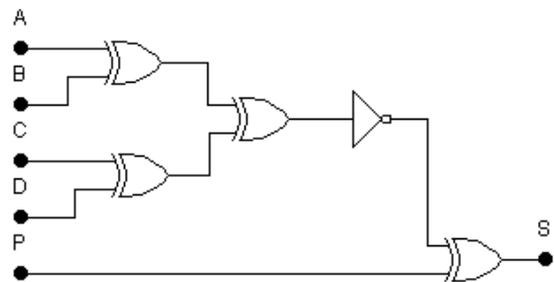
Logo, sendo a função

$$F = (A^* + B^* + C)(A^* + B + C^*)(A^* + B + C) \times (A + B^* + C^*)(A + B^* + C)(A + B + C^*)(A + B + C),$$

ela poderá ser simplificada para:

- A) $F = A^* \cdot B^* \cdot C^*$;
- B) $F = A^* + B^* \cdot C^*$;
- C) $F = A^* \cdot B^* + C^*$;
- D) $F = A \cdot B \cdot C$;
- E) $F = A + B + C$.

38. Analise o circuito abaixo, no qual as variáveis A, B, D, C e P são variáveis lógicas. Na sequência, “A” é o dígito mais significativo.



A saída “S” indo ao nível lógico (1) indicará a funcionalidade do circuito. Nesses termos podemos afirmar que, em relação às variáveis A, B, C, e D, e estando P em (0) lógico, o circuito funciona como um:

- A) meio somador;
- B) somador completo;
- C) verificador de paridade par de A, B, C e D;
- D) indicador de ocorrência do número binário correspondente a 13, em decimal;
- E) comparador de módulo entre os quatro dígitos.

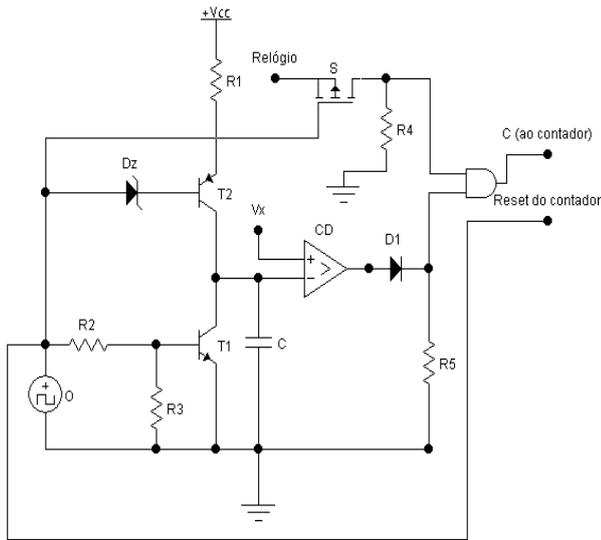
39. O circuito adiante reproduzido mostra o diagrama funcional de um Conversor A/D de rampa simples, onde $V(x)$ é a tensão contínua a ser medida. O oscilador de ondas quadradas “O” comanda todo o processo de medida: a chave “S”, o MOSFET canal P, os transistores T1 e T2, ambos de silício, e o “reset” do contador.

O integrado CD é um comparador diferencial, no qual não são mostradas as alimentações.

Os pulsos do “relógio” são aplicados ao “supridor” (source) da chave “S”.

Valores dos componentes :

- $V_{cc} = 15\text{ Volts}$;
- tensão Zener de $D_z = 9,3\text{ Volts}$;
- amplitude dos pulsos retangulares do oscilador “O” de zero a +15 Volts;
- $C = 10,0\ \mu\text{F}$;
- $R_1 = R_2 = 10\text{ k}\Omega$
- $R_3 = 4,7\text{ k}\Omega$;
- h_{FE} de T1 e T2 = 100.

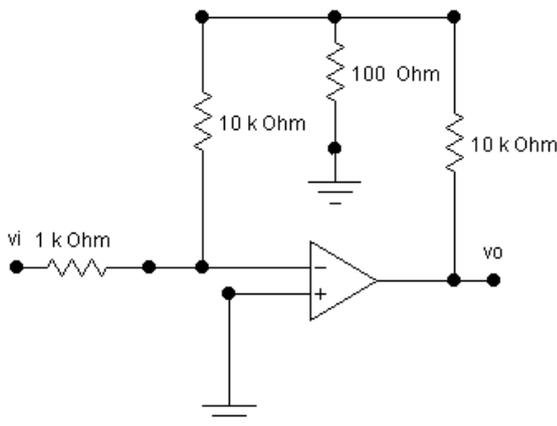


O circuito estava funcionando, mas apresentava um problema: como consequência de um erro de cálculo cometido pelo projetista do circuito; após uma medida de tensão de + 5,0 Volts (5000 mV), o contador apresentou uma contagem de “4000”, quando deveria apresentar um valor de “5000”.

Podemos concluir que a frequência do relógio que o projetista erradamente considerou foi de:

- A) 80.000 pulsos/s;
- B) 40.000 pulsos/s;
- C) 20.000 pulsos/s;
- D) 10.000 pulsos/s;
- E) 2.000 pulsos/s.

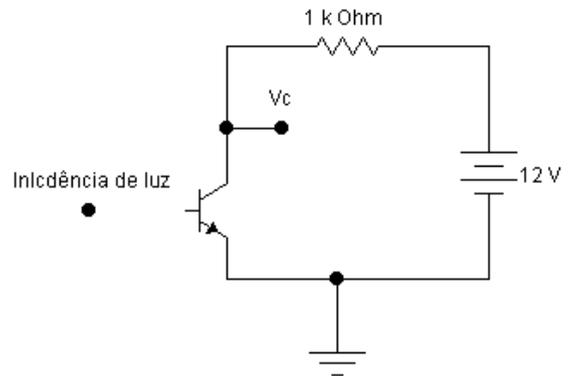
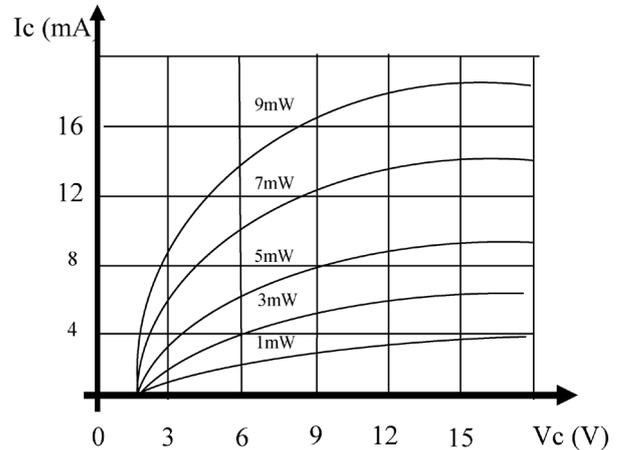
40.No circuito abaixo, o operacional é ideal, está corretamente polarizado (polarização não mostrada), e os resistores tem valores exatos. As tensões “vi” “vo”, respectivamente, à entrada e à saída do circuito, são referidas ao ponto de aterramento.



Nesse caso, o ganho v_o/v_i é aproximadamente igual a:

- A) -2040;
- B) -20;
- C) -210;
- D) -440;
- E) -1020.

41.Os fototransistores são formados por camadas dopadas NPN (ou PNP), como os transistores comuns. Nesses transistores a corrente de base é gerada pela incidência de luz, na região P, no caso de transistores NPN; ou na região N, no caso de transistores PNP. Abaixo, são dadas as curvas características da variação da corrente de coletor I_c , em função da tensão de coletor V_c e da potência luminosa na base do fototransistor, quando esta é iluminada por uma fonte de tungstênio de 2800 K.



Quando a base do fototransistor do circuito for iluminada por uma fonte de tungstênio de 2800 K de 5 mW de potência, a tensão V_c , referida ao ponto de aterramento, será de aproximadamente:

- A) 4,0 Volts;
- B) 6,0 Volts;
- C) 3,0 Volts;
- D) 9,0 Volts;
- E) 12,0 Volts.

42.Observe, no circuito da questão 15, o diodo “D1”, em paralelo com o enrolamento do relé.

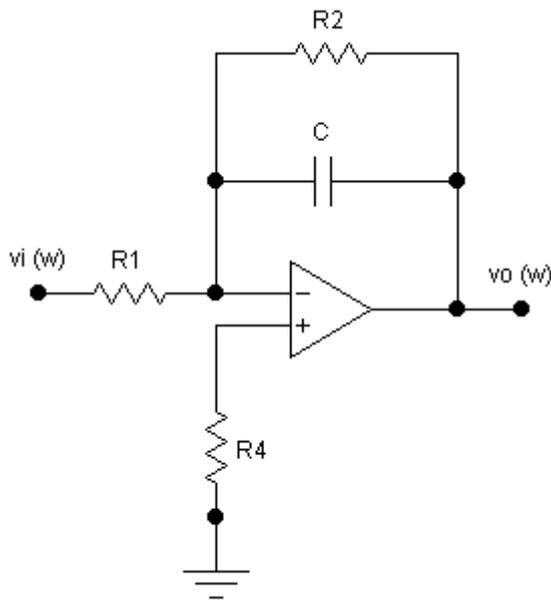
Podemos afirmar que, em verdade, o diodo “D1”:

- A) não tem nenhuma função porque, como foi mencionado, está sempre inversamente polarizado;
- B) é usado para proteger as junções do transistor dos surtos de tensão, produzidos no chaveamento da bobina do relé;

- C) foi usado para aumentar a velocidade na comutação do relé;
- D) foi usado para proteger o relé de altas tensões e correntes;
- E) deveria ter sido colocado em série, sendo o seu anodo ligado no coletor de T1; e o catodo, no enrolamento do relé, para total proteção do circuito.

43.No circuito mostrado adiante, o operacional é ideal, está corretamente polarizado, e os resistores têm valores exatos.

A saída do circuito é a tensão “vo (w)”, e a entrada do circuito, a tensão “vi (w)”, tensões essas referidas ao ponto de aterramento.



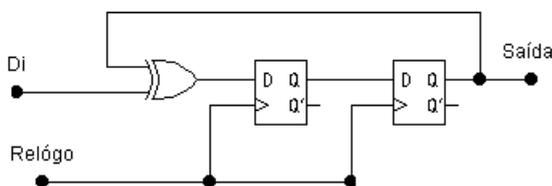
Quando a frequência da tensão “vi (w)” sofre uma varredura de zero a infinito, a frequência de corte ω_c do ganho $[vo(w)] / [vi(w)]$ será:

- A) $\omega_c = 1 / (R2.C)$;
- B) $\omega_c = 1 / [(R1+R2) C]$;
- C) $\omega_c = 1 / [(R1.R2) / (R1+R2) C]$;
- D) $\omega_c = 1 / (R1.C)$;
- E) $\omega_c = 1 / [(R1+R2)/R1.R2) C]$.

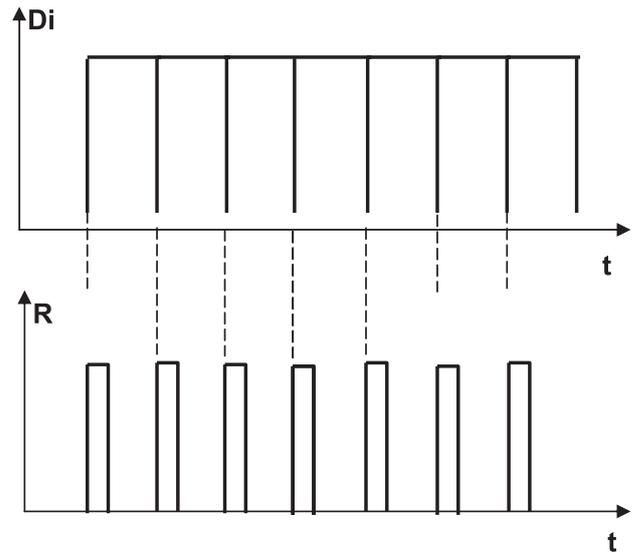
44.O circuito desta questão é um embaralhador (scrambler) usado em transmissão de dados. Os flip-flops são do tipo “D”. Pela entrada “Di” são recebidos dados serialmente.

Inicialmente as saídas Q estão em (0) lógico e são comandados pela transição negativa dos pulsos de clock (relógio).

As alimentações dos Flip-flops não são mostradas.



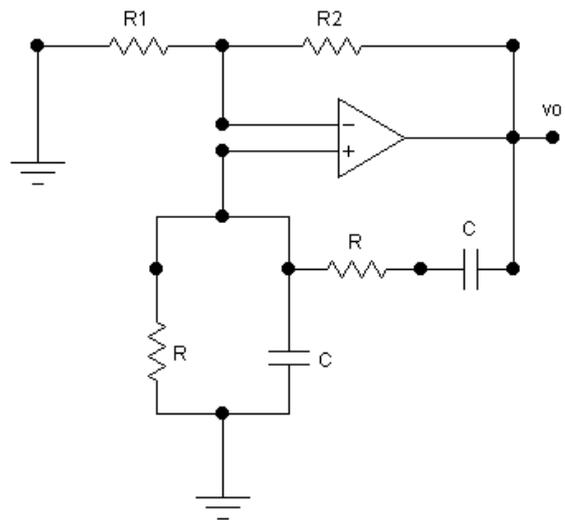
Os gráficos abaixo representam os dados Di e o relógio (R), em função do tempo (t).



Em correspondência e após as transições negativas do relógio, a Saída será uma sequência:

- A) 1 0 0 1 0 0 1;
- B) 0 1 1 0 0 1 1;
- C) 0 0 1 0 0 1 1;
- D) 1 0 1 0 1 1 0;
- E) 0 0 0 1 1 1 0.

45.No circuito apresentado adiante o operacional é ideal, está perfeitamente polarizado (polarização não mostrada), e a saída do circuito é a tensão vo. O circuito é um oscilador conhecido como Oscilador Ponte de Wien.



Se $R1 = 10 \text{ k}\Omega$ e $R2 = 27 \text{ k}\Omega$ a frequência “w” de oscilação do circuito será:

- A) $\omega = 1 / R.C$;
- B) $\omega = 1 / [(R1 + R2) C]$;
- C) $\omega = 1 / (2 R.C)$;
- D) $\omega = 1 / [(R1 + R2)/R1) C]$;
- E) $\omega = 1 / \{[(R1.R2)/(R1+ R2)] C\}$.

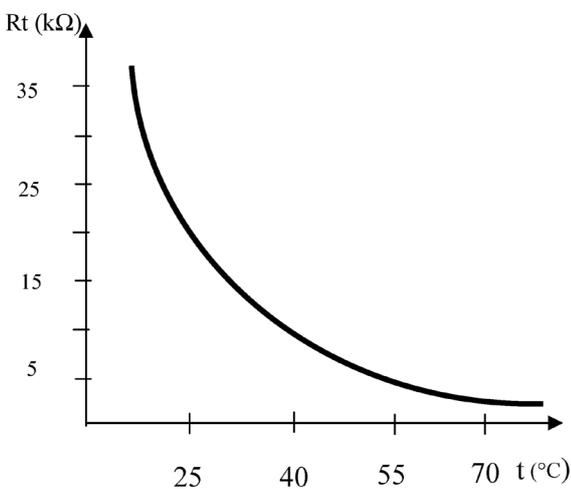
46. O dispositivo desta questão é um controlador de temperatura por termistor, que deverá acionar e desligar o motor M de um ventilador pela rede de 127 V AC (ponto Pb). O motor deverá ser acionado quando a temperatura atingir um valor $t(\text{máxima})$; e deverá desligá-lo quando a temperatura atingir $t(\text{mínima})$.

O operacional é ideal, e a saída v_o , na saturação, é de ± 10 Volts em relação ao ponto de aterramento, isto é, em relação às entradas (-) e (+) do operacional:

- se $v(-) > v(+)$ $\rightarrow v_o = -10$ V;
- se $v(+)$ $> v(-)$ $\rightarrow v_o = +10$ V.

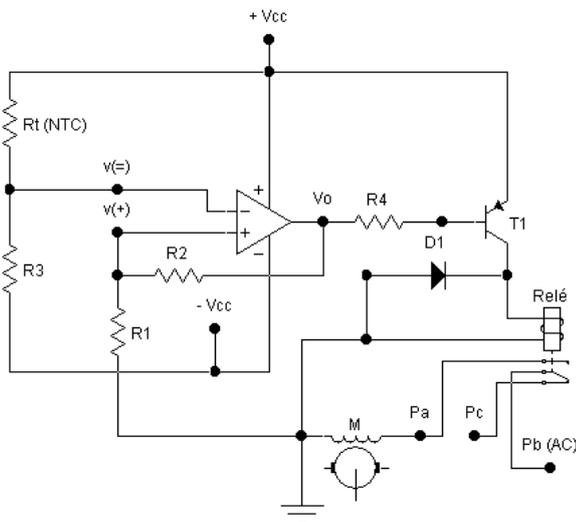
O transistor T suporta a corrente de acionamento do relé, e o diodo D1 é considerado ideal.

O termistor tem a característica abaixo.



No circuito

- + $V_{cc} = +15,0$ V,
- $V_{cc} = -15,0$ V,
- e $R1 = R2 = R3 = 10$ kΩ.

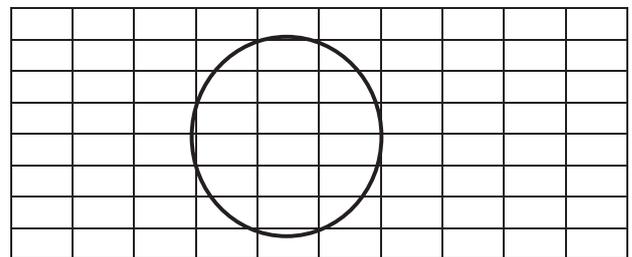


Estando o circuito funcionando perfeitamente, os valores mais aproximados para as temperaturas t

(máxima), correspondente ao acionamento do motor, e t (mínima), correspondente ao desligamento, são:

- A) $t(\text{máxima}) = 70^\circ$ C e $t(\text{mínima}) = 40^\circ$ C;
- B) $t(\text{máxima}) = 55^\circ$ C e $t(\text{mínima}) = 40^\circ$ C;
- C) $t(\text{máxima}) = 40^\circ$ C e $t(\text{mínima}) = 25^\circ$ C;
- D) $t(\text{máxima}) = 55^\circ$ C e $t(\text{mínima}) = 25^\circ$ C;
- E) $t(\text{máxima}) = 70^\circ$ C e $t(\text{mínima}) = 25^\circ$ C.

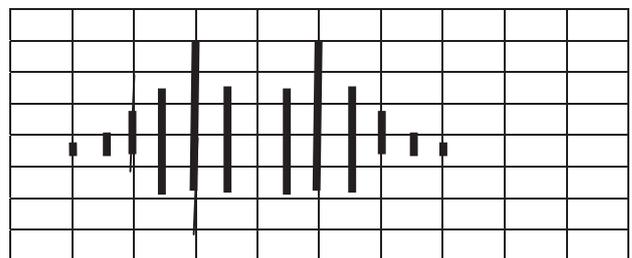
47. Figuras Lissajous são figuras que obtemos na tela de um osciloscópio quando, após desligarmos a varredura horizontal, injetamos sinais de tensão senoidal tanto na entrada vertical (sv) quanto na entrada horizontal (sh), estando essas entradas com igual calibração de amplitude. A figura apresentada abaixo é uma Figura de Lissajous, que foi obtida na tela de um osciloscópio.



Em relação aos sinais injetados na entrada vertical "sv" e na entrada horizontal "sh", podemos afirmar que a diferença de fase entre eles é de:

- A) 135° ;
- B) 0° ;
- C) 45° ;
- D) 90° ;
- E) 180° .

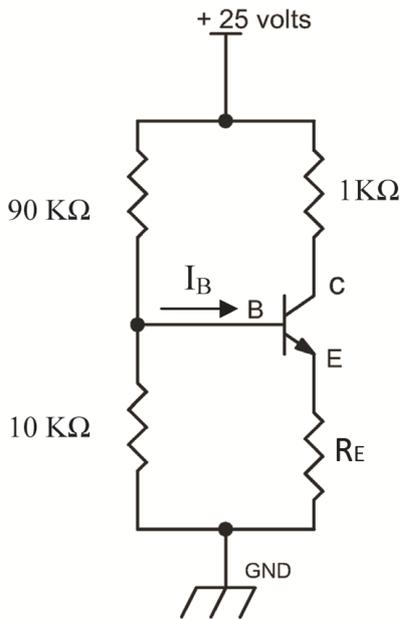
48. A figura abaixo é uma aproximação do aspecto da tela de analisador de espectro, em que se está analisando um sinal modulado em FM.



Sendo "dfc" o desvio de frequência da portadora e "fm" a frequência de modulação, podemos afirmar que, entre os valores abaixo, o índice de modulação em frequência $\beta = \text{dfc}/\text{fm}$ é igual a:

- A) 10,1;
- B) 3,6;
- C) 4,2;
- D) 6,2;
- E) 2,4.

49. Dado o circuito de polarização abaixo,



considerando $V_{BE} = 0,7$ volts e desprezando-se a corrente I_B , qual das opções a seguir mais se aproxima do módulo do valor da tensão entre o coletor e a base do transistor ?

- A) 10,5 volts;
- B) 22,5 volts;
- C) 22,2 volts;
- D) 10,2 volts;
- E) 10,0 volts.

50. Qual entre os trechos de programa em linguagem ASSEMBLY PIC implementa uma onda quadrada de maior frequência no pino 6 de um PIC16F8X? Em anexo, como subsídio, são apresentadas nove páginas do manual do PIC16F8X (ANEXO I).

```
A) LOOP   BSF    6,1
          CALL  ATRASO
          BCF    6,0
          CALL  ATRASO
          GOTO  LOOP
```

```
          ATRASO
          MOVLW 80
          MOVWF 2A
          DECFSZ 2A
          RETLW 00
```

```
B) LOOP   BSF    6,0
          CALL  ATRASO
          BCF    6,0
          CALL  ATRASO
          GOTO  LOOP
```

```
          ATRASO
          MOVLW 80
          MOVWF 1A
          DECFSZ 1A
          RETLW 00
```

```
C) LOOP   BSF    6,1
          CALL  ATRASO
          BCF    6,0
          CALL  ATRASO
          GOTO  LOOP
```

```
          ATRASO
          MOVLW 40
          MOVWF 1A
          DECFSZ 1A
          RETLW 00
```

```
D) LOOP   BSF    6,0
          CALL  ATRASO

          BCF    6,0
          CALL  ATRASO
          GOTO  LOOP
```

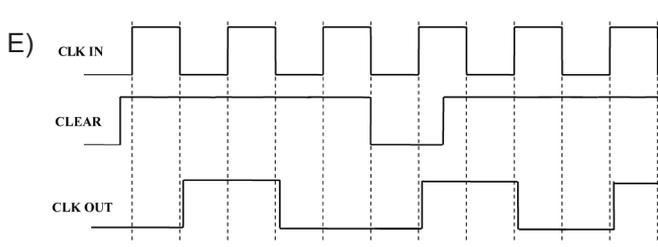
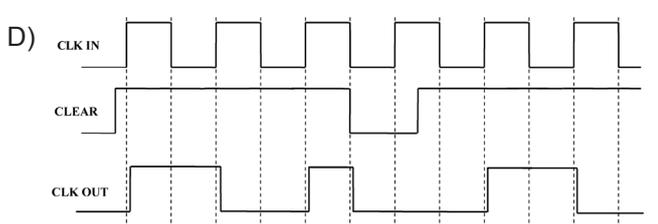
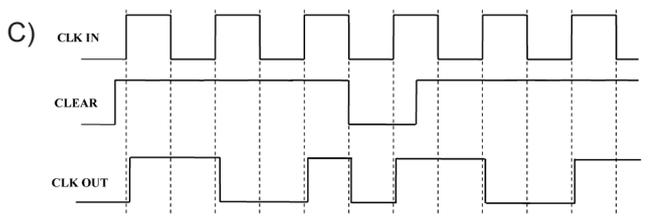
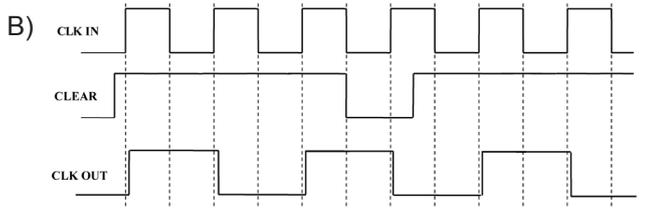
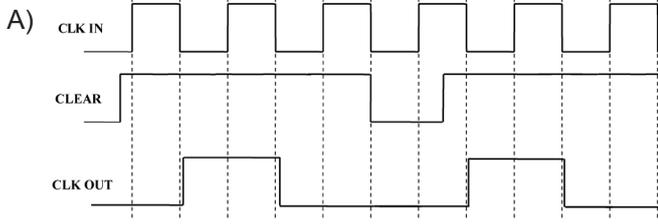
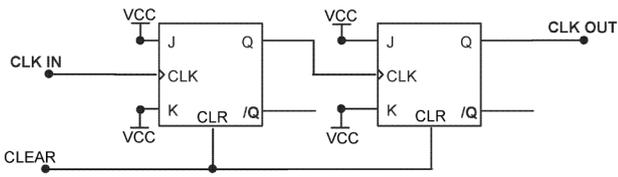
```
          ATRASO
          MOVLW 40
          MOVWF 2A
          DECFSZ 2A
          RETLW 00
```

```
E) LOOP   BSF    6,1
          CALL  ATRASO
          BCF    6,0
          CALL  ATRASO
          GOTO  LOOP
```

```
          ATRASO
          MOVLW 80
          MOVWF 1A
          DECFSZ 2A
          RETLW 00
```

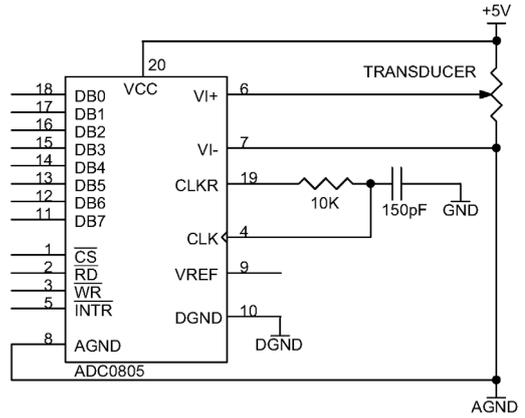
51. Qual dentre as afirmativas abaixo sobre o padrão IEEE-488 (GPIB) é INCORRETA:

- A) As linhas de "DIO1" até "DIO8", do padrão IEE-488, podem ser usadas para transferir dados, endereços ou informações de controle;
- B) O IEEE-488 permite que 15 dispositivos compartilhem um único barramento;
- C) Uma das funções de um barramento padrão IEEE-488 é permitir a comunicação digital de instrumentos programáveis;
- D) Somente o dispositivo "Controler" (Controlador) em um barramento IEEE-488 pode definir quais entre os dispositivos conectados ao barramento poderão agir como "Talkers" (Locutores) e quais poderão atuar como "Listeners" (Ouvintes);
- E) Num barramento padrão IEEE-488 podem existir vários dispositivos controladores (Controllers) ativos ao mesmo tempo.



56. Se entre os pinos 6 e 7 do ADC0805 do circuito abaixo existe uma diferença de potencial de + 2,5 volts, qual dos valores abaixo mais se aproxima do valor digitalizado pelo ADC0805? Para subsidiar sua resposta, são fornecidas em anexo duas páginas do manual do componente ADC0805 (ANEXO III).

- A) $(10110101)_2$;
- B) $(11010001)_2$;
- C) $(11011100)_2$;
- D) $(10100101)_2$;
- E) $(01111110)_2$.



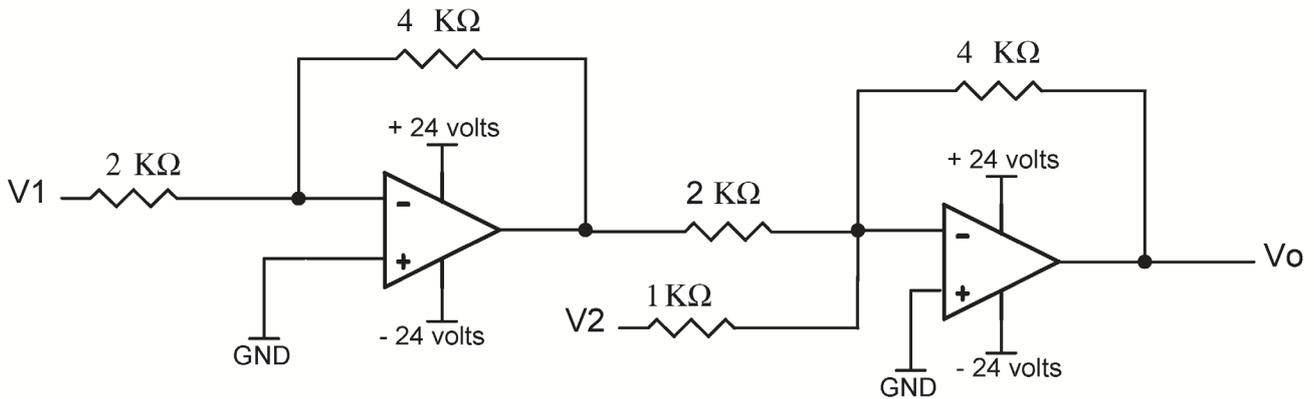
57. Considerando o trecho de programa escrito em linguagem ASSEMBLY 51 e nove páginas do manual de microcontroladores da família 51 (ANEXO IV), a opção a seguir que representa o conteúdo das posições de memória 3000h, 3001h, 3002h e 3003h, após a execução do trecho do programa, é:

- A) 5, 4, 3 e 2;
- B) 0, 1, 2 e 3;
- C) 8, 9, 10 e 11;
- D) 3, 2, 1 e 0;
- E) 4, 3, 2 e 1.

```

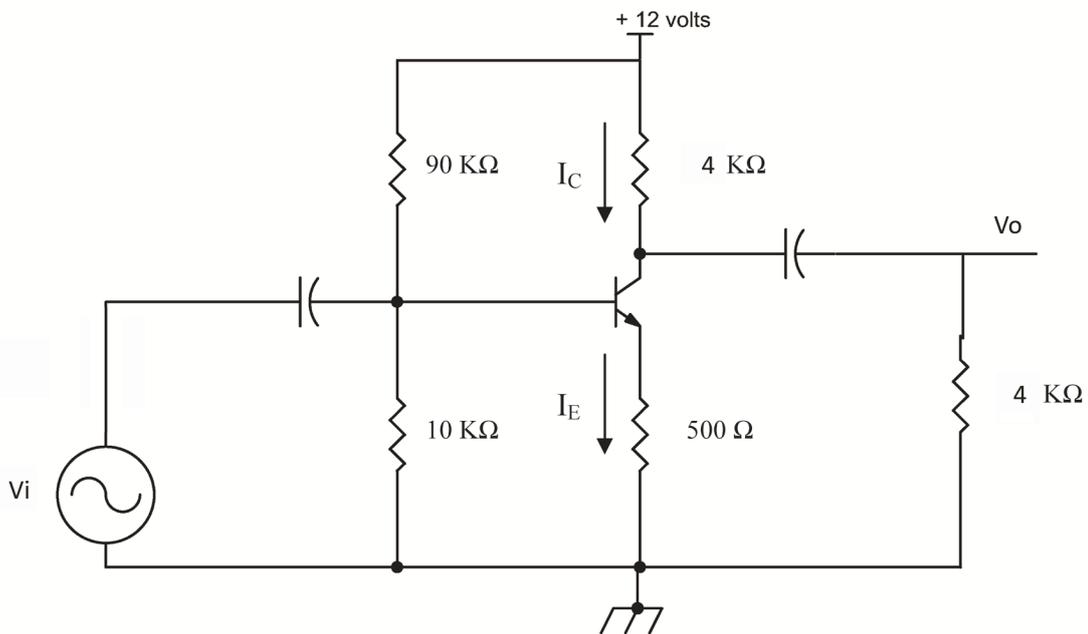
MOV DPL,#00h
MOV DPH,#30h
MOV R7,#5
MOV A,#0
LOOP: PUSH A
      MOVC A,@A+PC
      NOP
      INC R0
      INC R1
      INC R2
      INC R3
      MOVX @DPTR,A
      POP A
      INC A
      INC DPTR
      DJNZ R7,LOOP
    
```

58. Se no circuito abaixo o sinal de entrada "V1" é uma onda senoidal com amplitude de 2 volts, e a entrada "V2" é uma onda senoidal com amplitude de 1 volt (em fase com a onda senoidal "V1"), o sinal de saída "Vo" será uma onda senoidal com amplitude de:



- A) 4 volts;
- B) 12 volts;
- C) 8 volts;
- D) 16 volts;
- E) 20 volts.

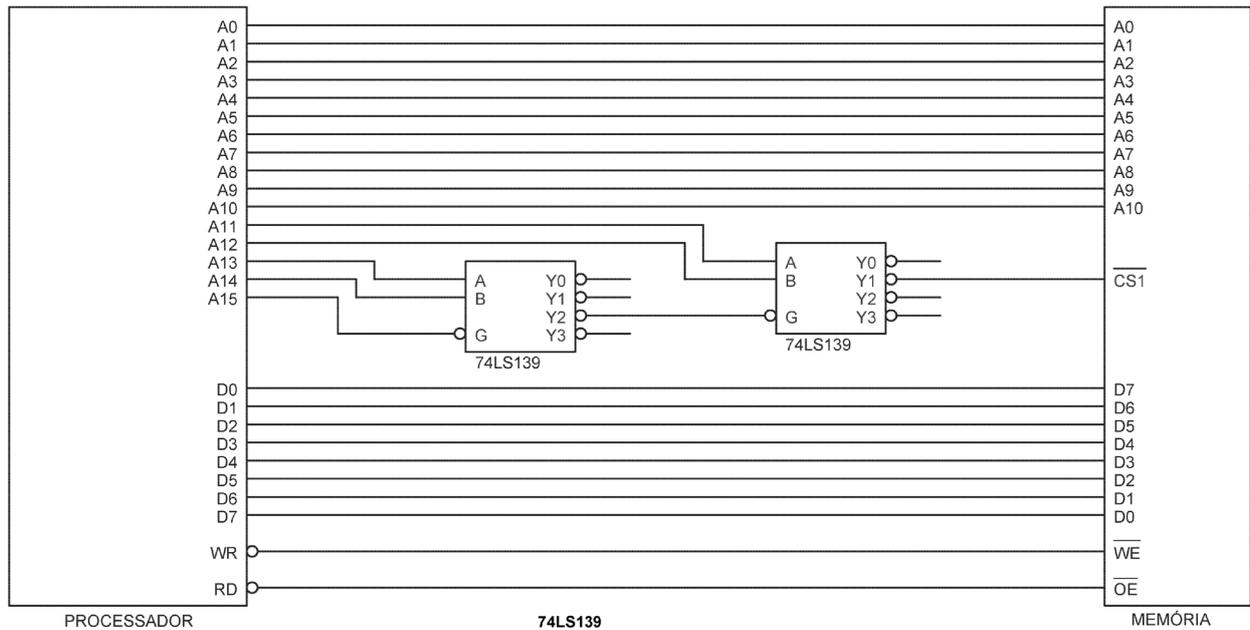
59. Dado o circuito amplificador abaixo, considere a tensão de polarização V_{CE} constante e igual a 0,7 volts. Considere que as correntes de polarização I_C e I_E são iguais, desprezando a corrente de polarização I_B . Considere o transistor com $g_m = 40 \cdot I_C$. O sinal de entrada V_i é considerado um pequeno sinal e tem uma frequência de forma a desprezar as reatâncias capacitivas.



O valor que mais se aproxima do módulo do ganho de tensão (V_o/V_i) do amplificador é:

- A) 80;
- B) 160;
- C) 30;
- D) 45;
- E) 40.

60. Dado o esquema a seguir,



74LS139

Inputs			Outputs			
Enable	Select		Y0	Y1	Y2	Y3
G	B	A				
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = Nível Alto L = Nível Baixo X = Tanto faz

a opção que apresenta o intervalo de endereços gerados pelo processador que acessam o conteúdo da memória.

- A) de $(4900)_{16}$ até $(49FF)_{16}$
- B) de $(5800)_{16}$ até $(5FFF)_{16}$
- C) de $(47FF)_{16}$ até $(48FF)_{16}$
- D) de $(4800)_{16}$ até $(4FFF)_{16}$
- E) de $(5900)_{16}$ até $(59FF)_{16}$



UNIVERSIDADE FEDERAL DO RIO DE JANEIRO
CONCURSO PÚBLICO 2012 - EDITAL Nº21/2012
CARGO ENGENHEIRO ELETRÔNICO

ANEXOS

ANEXO I



PIC16F8X

18-pin Flash/EEPROM 8-Bit Microcontrollers

Devices Included in this Data Sheet:

- PIC16F83
- PIC16F84
- PIC16CR83
- PIC16CR84
- Extended voltage range devices available (PIC16LF8X, PIC16LCR8X)

High Performance RISC CPU Features:

- Only 35 single word instructions to learn
- All instructions single cycle except for program branches which are two-cycle
- Operating speed: DC - 10 MHz clock input
DC - 400 ns instruction cycle

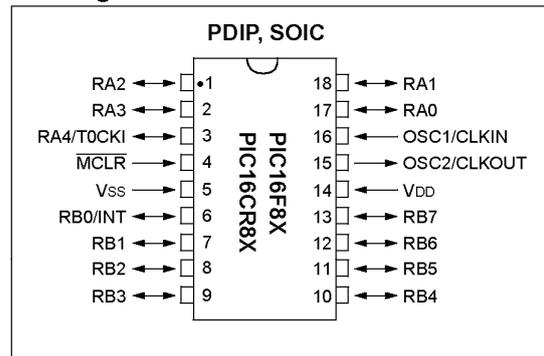
Device	Program Memory (words)	Data RAM (bytes)	Data EEPROM (bytes)	Max. Freq (MHz)
PIC16F83	512 Flash	36	64	10
PIC16F84	1 K Flash	68	64	10
PIC16CR83	512 ROM	36	64	10
PIC16CR84	1 K ROM	68	64	10

- 14-bit wide instructions
- 8-bit wide data path
- 15 special function hardware registers
- Eight-level deep hardware stack
- Direct, indirect and relative addressing modes
- Four interrupt sources:
 - External RB0/INT pin
 - TMR0 timer overflow
 - PORTB<7:4> interrupt on change
 - Data EEPROM write complete
- 1000 erase/write cycles Flash program memory
- 10,000,000 erase/write cycles EEPROM data memory
- EEPROM Data Retention > 40 years

Peripheral Features:

- 13 I/O pins with individual direction control
- High current sink/source for direct LED drive
 - 25 mA sink max. per pin
 - 20 mA source max. per pin
- TMR0: 8-bit timer/counter with 8-bit programmable prescaler

Pin Diagrams



Special Microcontroller Features:

- In-Circuit Serial Programming (ICSP™) - via two pins (ROM devices support only Data EEPROM programming)
- Power-on Reset (POR)
- Power-up Timer (PWRT)
- Oscillator Start-up Timer (OST)
- Watchdog Timer (WDT) with its own on-chip RC oscillator for reliable operation
- Code-protection
- Power saving SLEEP mode
- Selectable oscillator options

CMOS Flash/EEPROM Technology:

- Low-power, high-speed technology
- Fully static design
- Wide operating voltage range:
 - Commercial: 2.0V to 6.0V
 - Industrial: 2.0V to 6.0V
- Low power consumption:
 - < 2 mA typical @ 5V, 4 MHz
 - 15 µA typical @ 2V, 32 kHz
 - < 1 µA typical standby current @ 2V

ANEXO I

PIC16F8X

PIC16CXX devices contain an 8-bit ALU and working register. The ALU is a general purpose arithmetic unit. It performs arithmetic and Boolean functions between data in the working register and any register file.

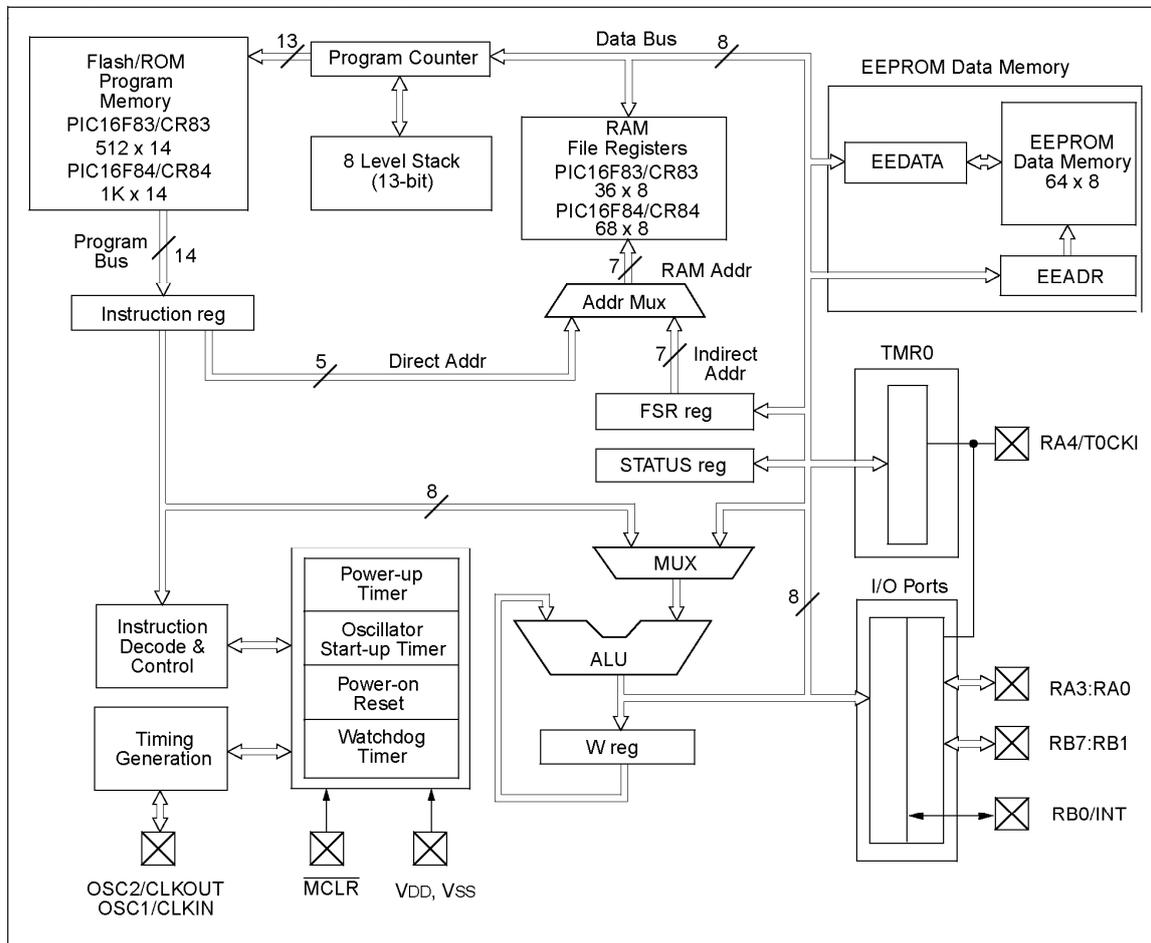
The ALU is 8-bits wide and capable of addition, subtraction, shift and logical operations. Unless otherwise mentioned, arithmetic operations are two's complement in nature. In two-operand instructions, typically one operand is the working register (W register), and the other operand is a file register or an immediate constant. In single operand instructions, the operand is either the W register or a file register.

The W register is an 8-bit working register used for ALU operations. It is not an addressable register.

Depending on the instruction executed, the ALU may affect the values of the Carry (C), Digit Carry (DC), and Zero (Z) bits in the STATUS register. The C and DC bits operate as a borrow and digit borrow out bit, respectively, in subtraction. See the *SUBLW* and *SUBWF* instructions for examples.

A simplified block diagram for the PIC16F8X is shown in Figure 3-1, its corresponding pin description is shown in Table 3-1.

FIGURE 3-1: PIC16F8X BLOCK DIAGRAM



ANEXO I

PIC16F8X

TABLE 3-1 PIC16F8X PINOUT DESCRIPTION

Pin Name	DIP No.	SOIC No.	I/O/P Type	Buffer Type	Description
OSC1/CLKIN	16	16	I	ST/CMOS ⁽³⁾	Oscillator crystal input/external clock source input.
OSC2/CLKOUT	15	15	O	—	Oscillator crystal output. Connects to crystal or resonator in crystal oscillator mode. In RC mode, OSC2 pin outputs CLKOUT which has 1/4 the frequency of OSC1, and denotes the instruction cycle rate.
MCLR	4	4	I/P	ST	Master clear (reset) input/programming voltage input. This pin is an active low reset to the device.
RA0	17	17	I/O	TTL	PORTA is a bi-directional I/O port. Can also be selected to be the clock input to the TMR0 timer/counter. Output is open drain type.
RA1	18	18	I/O	TTL	
RA2	1	1	I/O	TTL	
RA3	2	2	I/O	TTL	
RA4/T0CKI	3	3	I/O	ST	
RB0/INT	6	6	I/O	TTL/ST ⁽¹⁾	PORTB is a bi-directional I/O port. PORTB can be software programmed for internal weak pull-up on all inputs. RB0/INT can also be selected as an external interrupt pin. Interrupt on change pin. Interrupt on change pin. Interrupt on change pin. Serial programming clock. Interrupt on change pin. Serial programming data.
RB1	7	7	I/O	TTL	
RB2	8	8	I/O	TTL	
RB3	9	9	I/O	TTL	
RB4	10	10	I/O	TTL	
RB5	11	11	I/O	TTL	
RB6	12	12	I/O	TTL/ST ⁽²⁾	
RB7	13	13	I/O	TTL/ST ⁽²⁾	
VSS	5	5	P	—	Ground reference for logic and I/O pins.
VDD	14	14	P	—	Positive supply for logic and I/O pins.

Legend: I = input O = output I/O = Input/Output P = power
 — = Not used TTL = TTL input ST = Schmitt Trigger input

- Note 1: This buffer is a Schmitt Trigger input when configured as the external interrupt.
 Note 2: This buffer is a Schmitt Trigger input when used in serial programming mode.
 Note 3: This buffer is a Schmitt Trigger input when configured in RC oscillator mode and a CMOS input otherwise.

ANEXO I

PIC16F8X

4.0 MEMORY ORGANIZATION

There are two memory blocks in the PIC16F8X. These are the program memory and the data memory. Each block has its own bus, so that access to each block can occur during the same oscillator cycle.

The data memory can further be broken down into the general purpose RAM and the Special Function Registers (SFRs). The operation of the SFRs that control the "core" are described here. The SFRs used to control the peripheral modules are described in the section discussing each individual peripheral module.

The data memory area also contains the data EEPROM memory. This memory is not directly mapped into the data memory, but is indirectly mapped. That is, an indirect address pointer specifies the address of the data EEPROM memory to read/write. The 64 bytes of data EEPROM memory have the address range 0h-3Fh. More details on the EEPROM memory can be found in Section 7.0.

4.1 Program Memory Organization

The PIC16FXX has a 13-bit program counter capable of addressing an 8K x 14 program memory space. For the PIC16F83 and PIC16CR83, the first 512 x 14 (0000h-01FFh) are physically implemented (Figure 4-1). For the PIC16F84 and PIC16CR84, the first 1K x 14 (0000h-03FFh) are physically implemented (Figure 4-2). Accessing a location above the physically implemented address will cause a wrap-around. For example, for the PIC16F84 locations 20h, 420h, 820h, C20h, 1020h, 1420h, 1820h, and 1C20h will be the same instruction.

The reset vector is at 0000h and the interrupt vector is at 0004h.

FIGURE 4-1: PROGRAM MEMORY MAP AND STACK - PIC16F83/CR83

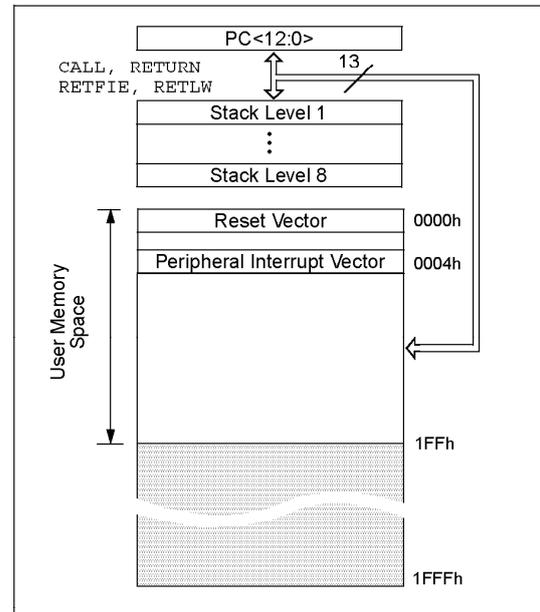
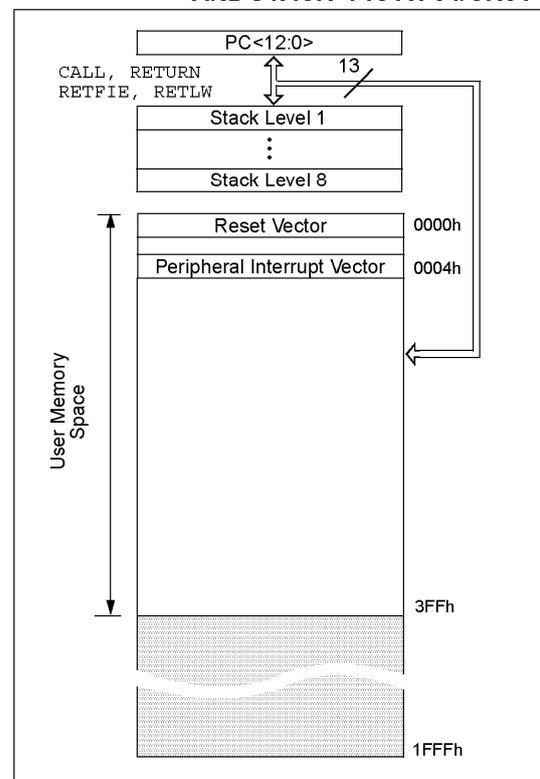


FIGURE 4-2: PROGRAM MEMORY MAP AND STACK - PIC16F84/CR84



ANEXO I

PIC16F8X

4.2 Data Memory Organization

The data memory is partitioned into two areas. The first is the Special Function Registers (SFR) area, while the second is the General Purpose Registers (GPR) area. The SFRs control the operation of the device.

Portions of data memory are banked. This is for both the SFR area and the GPR area. The GPR area is banked to allow greater than 116 bytes of general purpose RAM. The banked areas of the SFR are for the registers that control the peripheral functions. Banking requires the use of control bits for bank selection. These control bits are located in the STATUS Register. Figure 4-1 and Figure 4-2 show the data memory map organization.

Instructions `MOVWF` and `MOVF` can move values from the W register to any location in the register file ("F"), and vice-versa.

The entire data memory can be accessed either directly using the absolute address of each register file or indirectly through the File Select Register (FSR) (Section 4.5). Indirect addressing uses the present value of the RP1:RP0 bits for access into the banked areas of data memory.

Data memory is partitioned into two banks which contain the general purpose registers and the special function registers. Bank 0 is selected by clearing the RP0 bit (STATUS<5>). Setting the RP0 bit selects Bank 1. Each Bank extends up to 7Fh (128 bytes). The first twelve locations of each Bank are reserved for the Special Function Registers. The remainder are General Purpose Registers implemented as static RAM.

4.2.1 GENERAL PURPOSE REGISTER FILE

All devices have some amount of General Purpose Register (GPR) area. Each GPR is 8 bits wide and is accessed either directly or indirectly through the FSR (Section 4.5).

The GPR addresses in bank 1 are mapped to addresses in bank 0. As an example, addressing location 0Ch or 8Ch will access the same GPR.

4.2.2 SPECIAL FUNCTION REGISTERS

The Special Function Registers (Figure 4-1, Figure 4-2 and Table 4-1) are used by the CPU and Peripheral functions to control the device operation. These registers are static RAM.

The special function registers can be classified into two sets, core and peripheral. Those associated with the core functions are described in this section. Those related to the operation of the peripheral features are described in the section for that specific feature.

ANEXO I

PIC16F8X

FIGURE 4-1: REGISTER FILE MAP - PIC16F83/CR83

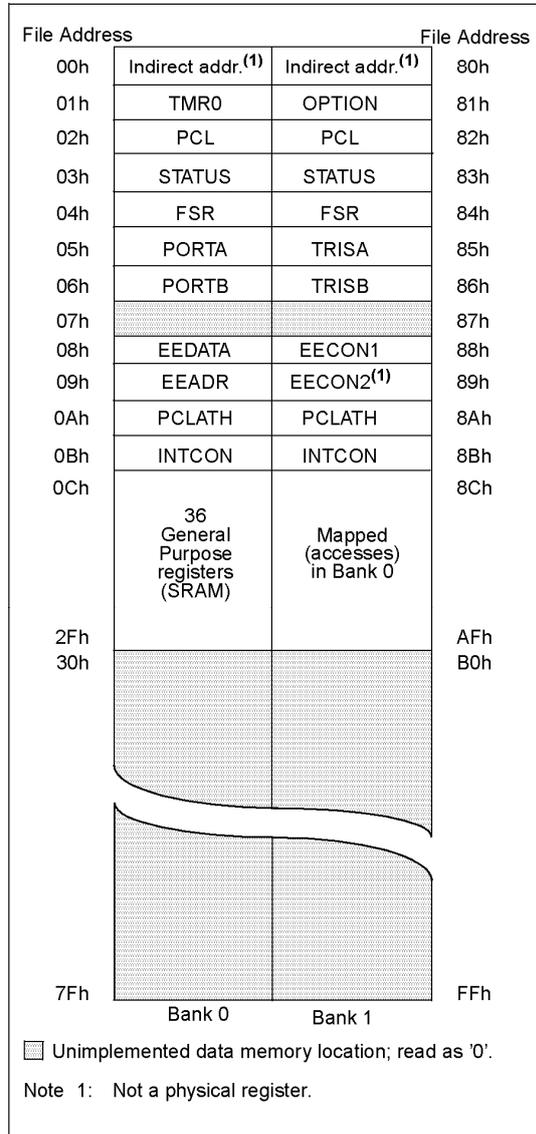
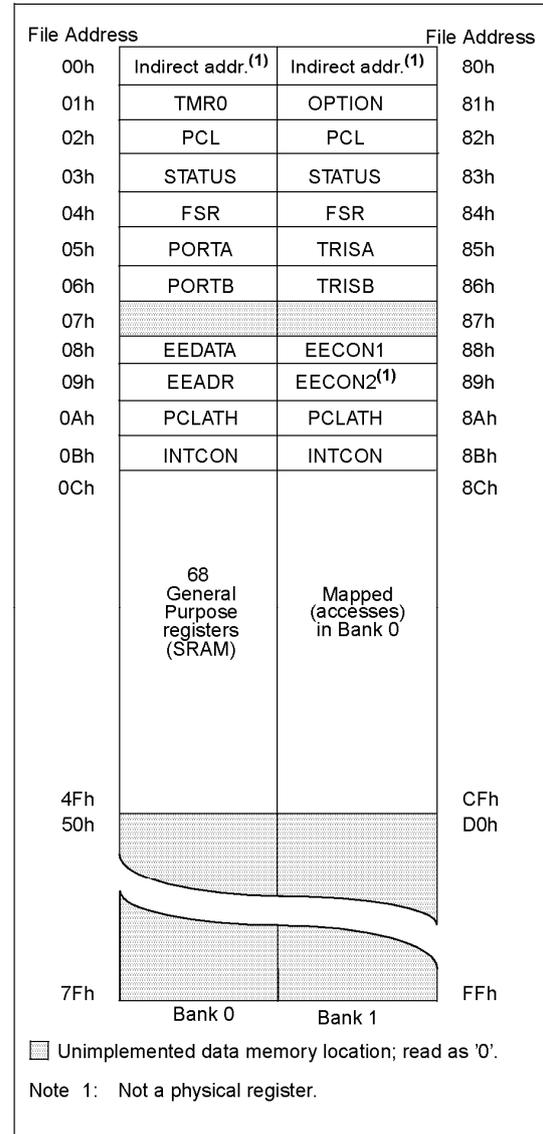


FIGURE 4-2: REGISTER FILE MAP - PIC16F84/CR84



ANEXO I

PIC16F8X

TABLE 4-1 REGISTER FILE SUMMARY

Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Value on Power-on Reset	Value on all other resets (Note3)		
Bank 0													
00h	INDF	Uses contents of FSR to address data memory (not a physical register)								----	----		
01h	TMR0	8-bit real-time clock/counter								xxxx	xxxx	uuuu	uuuu
02h	PCL	Low order 8 bits of the Program Counter (PC)								0000	0000	0000	0000
03h	STATUS ⁽²⁾	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001	1xxx	000q	quuu
04h	FSR	Indirect data memory address pointer 0								xxxx	xxxx	uuuu	uuuu
05h	PORTA	—	—	—	RA4/T0CKI	RA3	RA2	RA1	RA0	---x	xxxx	---u	uuuu
06h	PORTB	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0/INT	xxxx	xxxx	uuuu	uuuu
07h	Unimplemented location, read as '0'												
08h	EEDATA	EEPROM data register								xxxx	xxxx	uuuu	uuuu
09h	EEADR	EEPROM address register								xxxx	xxxx	uuuu	uuuu
0Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of the PC ⁽¹⁾					---	0000	---	0000
0Bh	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000	000x	0000	000u
Bank 1													
80h	INDF	Uses contents of FSR to address data memory (not a physical register)								----	----		
81h	OPTION_REG	RBPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0	1111	1111	1111	1111
82h	PCL	Low order 8 bits of Program Counter (PC)								0000	0000	0000	0000
83h	STATUS ⁽²⁾	IRP	RP1	RP0	\overline{TO}	\overline{PD}	Z	DC	C	0001	1xxx	000q	quuu
84h	FSR	Indirect data memory address pointer 0								xxxx	xxxx	uuuu	uuuu
85h	TRISA	—	—	—	PORTA data direction register					---	1111	---	1111
86h	TRISB	PORTB data direction register								1111	1111	1111	1111
87h	Unimplemented location, read as '0'												
88h	EECON1	—	—	—	EEIF	WRERR	WREN	WR	RD	---	x000	---	q000
89h	EECON2	EEPROM control register 2 (not a physical register)								----	----		
0Ah	PCLATH	—	—	—	Write buffer for upper 5 bits of the PC ⁽¹⁾					---	0000	---	0000
0Bh	INTCON	GIE	EEIE	TOIE	INTE	RBIE	TOIF	INTF	RBIF	0000	000x	0000	000u

Legend: x = unknown, u = unchanged, - = unimplemented read as '0', q = value depends on condition.

Note 1: The upper byte of the program counter is not directly accessible. PCLATH is a slave register for PC<12:8>. The contents of PCLATH can be transferred to the upper byte of the program counter, but the contents of PC<12:8> is never transferred to PCLATH.

2: The \overline{TO} and \overline{PD} status bits in the STATUS register are not affected by a \overline{MCLR} reset.

3: Other (non power-up) resets include: external reset through \overline{MCLR} and the Watchdog Timer Reset.

ANEXO I

PIC16F8X

9.0 INSTRUCTION SET SUMMARY

Each PIC16CXX instruction is a 14-bit word divided into an OPCODE which specifies the instruction type and one or more operands which further specify the operation of the instruction. The PIC16CXX instruction set summary in Table 9-2 lists **byte-oriented**, **bit-oriented**, and **literal and control** operations. Table 9-1 shows the opcode field descriptions.

For **byte-oriented** instructions, 'f' represents a file register designator and 'd' represents a destination designator. The file register designator specifies which file register is to be used by the instruction.

The destination designator specifies where the result of the operation is to be placed. If 'd' is zero, the result is placed in the W register. If 'd' is one, the result is placed in the file register specified in the instruction.

For **bit-oriented** instructions, 'b' represents a bit field designator which selects the number of the bit affected by the operation, while 'f' represents the number of the file in which the bit is located.

For **literal and control** operations, 'k' represents an eight or eleven bit constant or literal value.

TABLE 9-1 OPCODE FIELD DESCRIPTIONS

Field	Description
f	Register file address (0x00 to 0x7F)
w	Working register (accumulator)
b	Bit address within an 8-bit file register
k	Literal field, constant data or label
x	Don't care location (= 0 or 1) The assembler will generate code with x = 0. It is the recommended form of use for compatibility with all Microchip software tools.
d	Destination select; d = 0: store result in W, d = 1: store result in file register f. Default is d = 1
label	Label name
TOS	Top of Stack
PC	Program Counter
PCLATH	Program Counter High Latch
GIE	Global Interrupt Enable bit
WDT	Watchdog Timer/Counter
TO	Time-out bit
PD	Power-down bit
dest	Destination either the W register or the specified register file location
[]	Options
()	Contents
→	Assigned to
<>	Register bit field
∈	In the set of
<i>italics</i>	User defined term (font is courier)

The instruction set is highly orthogonal and is grouped into three basic categories:

- **Byte-oriented** operations
- **Bit-oriented** operations
- **Literal and control** operations

All instructions are executed within one single instruction cycle, unless a conditional test is true or the program counter is changed as a result of an instruction. In this case, the execution takes two instruction cycles with the second cycle executed as a NOP. One instruction cycle consists of four oscillator periods. Thus, for an oscillator frequency of 4 MHz, the normal instruction execution time is 1 μs. If a conditional test is true or the program counter is changed as a result of an instruction, the instruction execution time is 2 μs.

Table 9-2 lists the instructions recognized by the MPASM assembler.

Figure 9-1 shows the general formats that the instructions can have.

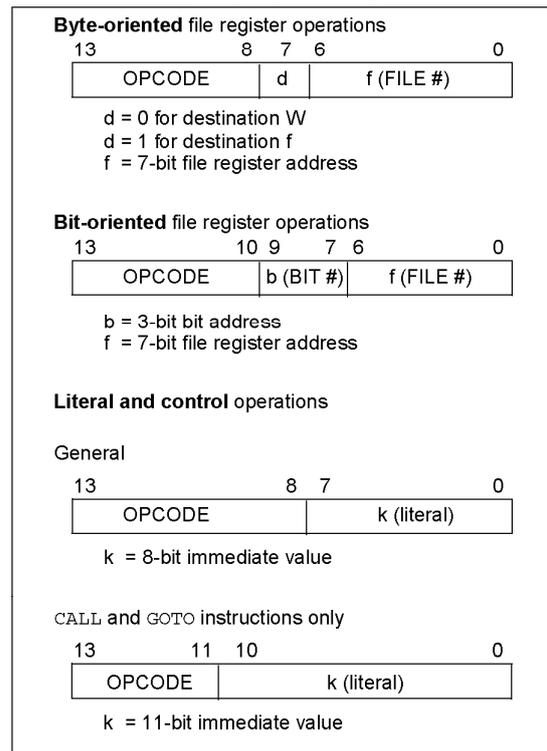
Note: To maintain upward compatibility with future PIC16CXX products, do not use the OPTION and TRIS instructions.

All examples use the following format to represent a hexadecimal number:

0xhh

where h signifies a hexadecimal digit.

FIGURE 9-1: GENERAL FORMAT FOR INSTRUCTIONS



ANEXO I

PIC16F8X

TABLE 9-2 PIC16FXX INSTRUCTION SET

Mnemonic, Operands	Description	Cycles	14-Bit Opcode				Status Affected	Notes	
			MSb		LSb				
BYTE-ORIENTED FILE REGISTER OPERATIONS									
ADDWF	f, d	Add W and f	1	00	0111	dfff	ffff	C,DC,Z	1,2
ANDWF	f, d	AND W with f	1	00	0101	dfff	ffff	Z	1,2
CLRF	f	Clear f	1	00	0001	1fff	ffff	Z	2
CLRWF	-	Clear W	1	00	0001	0xxx	xxxx	Z	
COMF	f, d	Complement f	1	00	1001	dfff	ffff	Z	1,2
DECWF	f, d	Decrement f	1	00	0011	dfff	ffff	Z	1,2
DECFSZ	f, d	Decrement f, Skip if 0	1(2)	00	1011	dfff	ffff		1,2,3
INCF	f, d	Increment f	1	00	1010	dfff	ffff	Z	1,2
INCFSZ	f, d	Increment f, Skip if 0	1(2)	00	1111	dfff	ffff		1,2,3
IORWF	f, d	Inclusive OR W with f	1	00	0100	dfff	ffff	Z	1,2
MOVF	f, d	Move f	1	00	1000	dfff	ffff	Z	1,2
MOVWF	f	Move W to f	1	00	0000	1fff	ffff		
NOP	-	No Operation	1	00	0000	0xx0	0000		
RLF	f, d	Rotate Left f through Carry	1	00	1101	dfff	ffff	C	1,2
RRF	f, d	Rotate Right f through Carry	1	00	1100	dfff	ffff	C	1,2
SUBWF	f, d	Subtract W from f	1	00	0010	dfff	ffff	C,DC,Z	1,2
SWAPF	f, d	Swap nibbles in f	1	00	1110	dfff	ffff		1,2
XORWF	f, d	Exclusive OR W with f	1	00	0110	dfff	ffff	Z	1,2
BIT-ORIENTED FILE REGISTER OPERATIONS									
BCF	f, b	Bit Clear f	1	01	00bb	bfff	ffff		1,2
BSF	f, b	Bit Set f	1	01	01bb	bfff	ffff		1,2
BTFSC	f, b	Bit Test f, Skip if Clear	1 (2)	01	10bb	bfff	ffff		3
BTFSS	f, b	Bit Test f, Skip if Set	1 (2)	01	11bb	bfff	ffff		3
LITERAL AND CONTROL OPERATIONS									
ADDLW	k	Add literal and W	1	11	111x	kkkk	kkkk	C,DC,Z	
ANDLW	k	AND literal with W	1	11	1001	kkkk	kkkk	Z	
CALL	k	Call subroutine	2	10	0kkk	kkkk	kkkk		
CLRWDT	-	Clear Watchdog Timer	1	00	0000	0110	0100	$\overline{TO}, \overline{PD}$	
GOTO	k	Go to address	2	10	1kkk	kkkk	kkkk		
IORLW	k	Inclusive OR literal with W	1	11	1000	kkkk	kkkk	Z	
MOVLW	k	Move literal to W	1	11	00xx	kkkk	kkkk		
RETFIE	-	Return from interrupt	2	00	0000	0000	1001		
RETLW	k	Return with literal in W	2	11	01xx	kkkk	kkkk		
RETURN	-	Return from Subroutine	2	00	0000	0000	1000		
SLEEP	-	Go into standby mode	1	00	0000	0110	0011	$\overline{TO}, \overline{PD}$	
SUBLW	k	Subtract W from literal	1	11	110x	kkkk	kkkk	C,DC,Z	
XORLW	k	Exclusive OR literal with W	1	11	1010	kkkk	kkkk	Z	

Note 1: When an I/O register is modified as a function of itself (e.g., MOVF PORTB, 1), the value used will be that value present on the pins themselves. For example, if the data latch is '1' for a pin configured as input and is driven low by an external device, the data will be written back with a '0'.

- If this instruction is executed on the TMR0 register (and, where applicable, d = 1), the prescaler will be cleared if assigned to the Timer0 Module.
- If Program Counter (PC) is modified or a conditional test is true, the instruction requires two cycles. The second cycle is executed as a NOP.

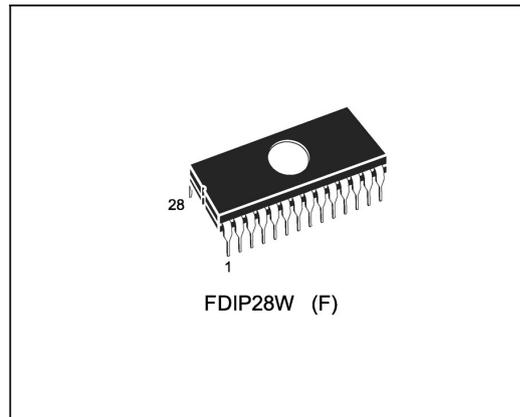
ANEXO II



M27128A

NMOS 128K (16K x 8) UV EPROM

- FAST ACCESS TIME: 200ns
- EXTENDED TEMPERATURE RANGE
- SINGLE 5 V SUPPLY VOLTAGE
- LOW STANDBY CURRENT: 40mA max
- TTL COMPATIBLE DURING READ and PROGRAM
- FAST PROGRAMMING ALGORITHM
- ELECTRONIC SIGNATURE
- PROGRAMMING VOLTAGE: 12V



DESCRIPTION

The M27128A is a 131,072 bit UV erasable and electrically programmable memory EPROM. It is organized as 16,384 words by 8 bits.

The M27128A is housed in a 28 Pin Window Ceramic Frit-Seal Dual-in-Line package. The transparent lid allows the user to expose the chip to ultraviolet light to erase the bit pattern. A new pattern can then be written to the device by following the programming procedure.

Figure 1. Logic Diagram

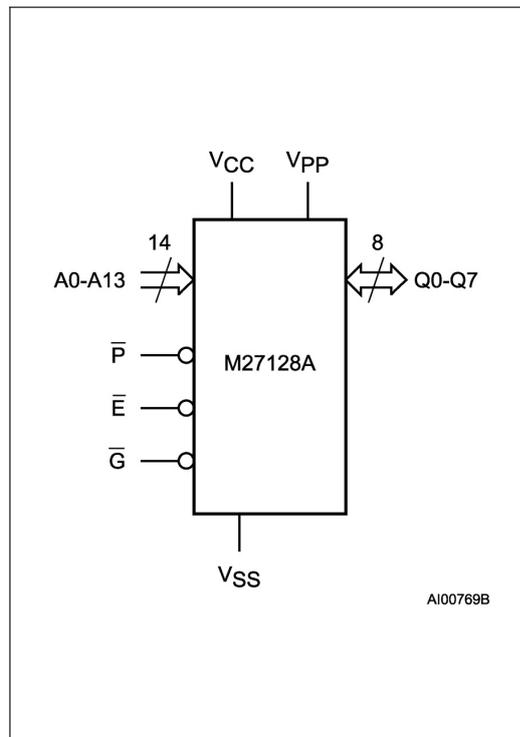


Table 1. Signal Names

A0 - A13	Address Inputs
Q0 - Q7	Data Outputs
\bar{E}	Chip Enable
\bar{G}	Output Enable
\bar{P}	Program
V _{PP}	Program Supply
V _{CC}	Supply Voltage
V _{SS}	Ground

ANEXO II

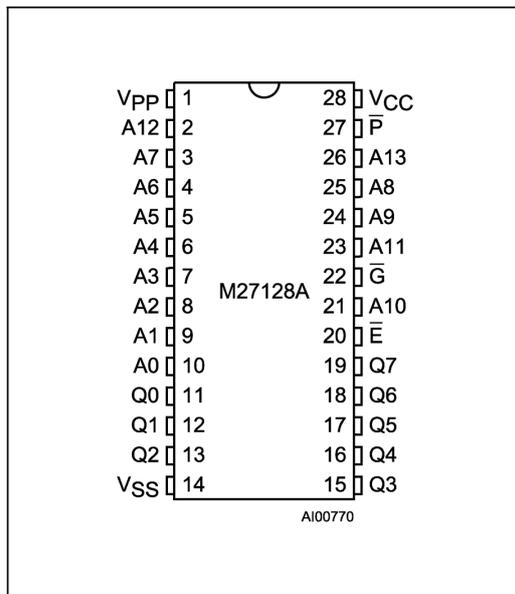
M27128A

Table 2. Absolute Maximum Ratings

Symbol	Parameter	Value	Unit
T _A	Ambient Operating Temperature	grade 1 grade 6	°C
T _{BIAS}	Temperature Under Bias	grade 1 grade 6	°C
T _{STG}	Storage Temperature		°C
V _{IO}	Input or Output Voltages		V
V _{CC}	Supply Voltage		V
V _{A9}	A9 Voltage		V
V _{PP}	Program Supply		V

Note: Except for the rating "Operating Temperature Range", stresses above those listed in the Table "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and operation of the device at these or any other conditions above those indicated in the Operating sections of this specification is not implied. Exposure to Absolute Maximum Rating conditions for extended periods may affect device reliability. Refer also to the SGS-THOMSON SURE Program and other relevant quality documents.

Figure 2. DIP Pin Connections



DEVICE OPERATION

The seven modes of operation of the M27128A are listed in the Operating Modes table. A single 5V power supply is required in the read mode. All inputs are TTL levels except for V_{PP} and 12V on A9 for Electronic Signature.

Read Mode

The M27128A has two control functions, both of which must be logically satisfied in order to obtain data at the outputs. Chip Enable (\bar{E}) is the power control and should be used for device selection. Output Enable (\bar{G}) is the output control and should be used to gate data to the output pins, independent of device selection.

Assuming that the addresses are stable, address access time (t_{AVQV}) is equal to the delay from \bar{E} to output (t_{ELQV}). Data is available at the outputs after the falling edge of \bar{G} , assuming that \bar{E} has been low and the addresses have been stable for at least $t_{AVQV} - t_{GLQV}$.

Standby Mode

The M27128A has a standby mode which reduces the maximum active power current from 85mA to 40mA. The M27128A is placed in the standby mode by applying a TTL high signal to the \bar{E} input. When in the standby mode, the outputs are in a high impedance state, independent of the \bar{G} input.

Two Line Output Control

Because EPROMs are usually used in larger memory arrays, this product features a 2 line control function which accommodates the use of multiple memory connection. The two line control function allows:

- a. the lowest possible memory power dissipation,
- b. complete assurance that output bus contention will not occur.

ANEXO II

M27128A

DEVICE OPERATION (cont'd)

For the most efficient use of these two control lines, \bar{E} should be decoded and used as the primary device selecting function, while \bar{G} should be made a common connection to all devices in the array and connected to the \bar{READ} line from the system control bus.

This ensures that all deselected memory devices are in their low power standby mode and that the output pins are only active when data is required from a particular memory device.

System Considerations

The power switching characteristics of fast EPROMs require careful decoupling of the devices. The supply current, I_{CC} , has three segments that are of interest to the system designer: the standby current level, the active current level, and transient current peaks that are produced by the falling and rising edges of \bar{E} . The magnitude of this transient current peaks is dependent on the capacitive and inductive loading of the device at the output. The associated transient voltage peaks can be suppressed by complying with the two line output control and by properly selected decoupling capacitors. It is recommended that a $1\mu F$ ceramic capacitor be used on every device between V_{CC} and V_{SS} . This should be a high frequency capacitor

of low inherent inductance and should be placed as close to the device as possible. In addition, a $4.7\mu F$ bulk electrolytic capacitor should be used between V_{CC} and GND for every eight devices. The bulk capacitor should be located near the power supply connection point. The purpose of the bulk capacitor is to overcome the voltage drop caused by the inductive effects of PCB traces.

Programming

When delivered (and after each erasure for UV EPPROM), all bits of the M27128A are in the "1" state. Data is introduced by selectively programming "0s" into the desired bit locations. Although only "0s" will be programmed, both "1s" and "0s" can be present in the data word. The only way to change a "0" to a "1" is by ultraviolet light erasure.

The M27128A is in the programming mode when V_{PP} input is at 12.5V and E and P are at TTL low. The data to be programmed is applied 8 bits in parallel, to the data output pins. The levels required for the address and data inputs are TTL.

Fast Programming Algorithm

Fast Programming Algorithm rapidly programs M27128A EPROMs using an efficient and reliable method suited to the production programming environment. Programming reliability is also ensured as the incremental program margin of each byte is

Table 3. Operating Modes

Mode	\bar{E}	\bar{G}	\bar{P}	A9	V_{PP}	Q0 - Q7
Read	V_{IL}	V_{IL}	V_{IH}	X	V_{CC}	Data Out
Output Disable	V_{IL}	V_{IH}	V_{IH}	X	V_{CC}	Hi-Z
Program	V_{IL}	V_{IH}	V_{IL} Pulse	X	V_{PP}	Data In
Verify	V_{IL}	V_{IL}	V_{IH}	X	V_{PP}	Data Out
Program Inhibit	V_{IH}	X	X	X	V_{PP}	Hi-Z
Standby	V_{IH}	X	X	X	V_{CC}	Hi-Z
Electronic Signature	V_{IL}	V_{IL}	V_{IH}	V_{ID}	V_{CC}	Codes Out

Note: X = V_{IH} or V_{IL} , $V_{ID} = 12V \pm 0.5\%$.

Table 4. Electronic Signature

Identifier	A0	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	Hex Data
Manufacturer's Code	V_{IL}	0	0	1	0	0	0	0	0	20h
Device Code	V_{IH}	1	0	0	0	1	0	0	1	89h

ANEXO III



November 1999

ADC0801/ADC0802/ADC0803/ADC0804/ADC0805

8-Bit μ P Compatible A/D Converters

General Description

The ADC0801, ADC0802, ADC0803, ADC0804 and ADC0805 are CMOS 8-bit successive approximation A/D converters that use a differential potentiometric ladder—similar to the 256R products. These converters are designed to allow operation with the NSC800 and INS8080A derivative control bus with TRI-STATE output latches directly driving the data bus. These A/Ds appear like memory locations or I/O ports to the microprocessor and no interfacing logic is needed.

Differential analog voltage inputs allow increasing the common-mode rejection and offsetting the analog zero input voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

Features

- Compatible with 8080 μ P derivatives—no interfacing logic needed - access time - 135 ns
- Easy interface to all microprocessors, or operates “stand alone”

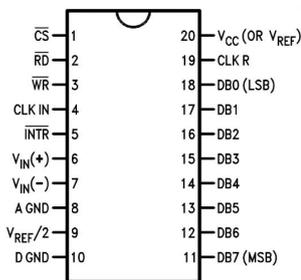
- Differential analog voltage inputs
- Logic inputs and outputs meet both MOS and TTL voltage level specifications
- Works with 2.5V (LM336) voltage reference
- On-chip clock generator
- 0V to 5V analog input voltage range with single 5V supply
- No zero adjust required
- 0.3" standard width 20-pin DIP package
- 20-pin molded chip carrier or small outline package
- Operates ratiometrically or with 5 V_{DC} , 2.5 V_{DC} , or analog span adjusted voltage reference

Key Specifications

- Resolution 8 bits
- Total error $\pm 1/4$ LSB, $\pm 1/2$ LSB and ± 1 LSB
- Conversion time 100 μ s

Connection Diagram

ADC080X
Dual-In-Line and Small Outline (SO) Packages



DS005671-30

See Ordering Information

Error Specification (Includes Full-Scale, Zero Error, and Non-Linearity)			
Part Number	Full-Scale Adjusted	$V_{REF}/2=2.500 V_{DC}$ (No Adjustments)	$V_{REF}/2=$ No Connection (No Adjustments)
ADC0801	$\pm 1/4$ LSB		
ADC0802		$\pm 1/2$ LSB	
ADC0803	$\pm 1/2$ LSB		
ADC0804		± 1 LSB	
ADC0805			± 1 LSB

2.0 FUNCTIONAL DESCRIPTION

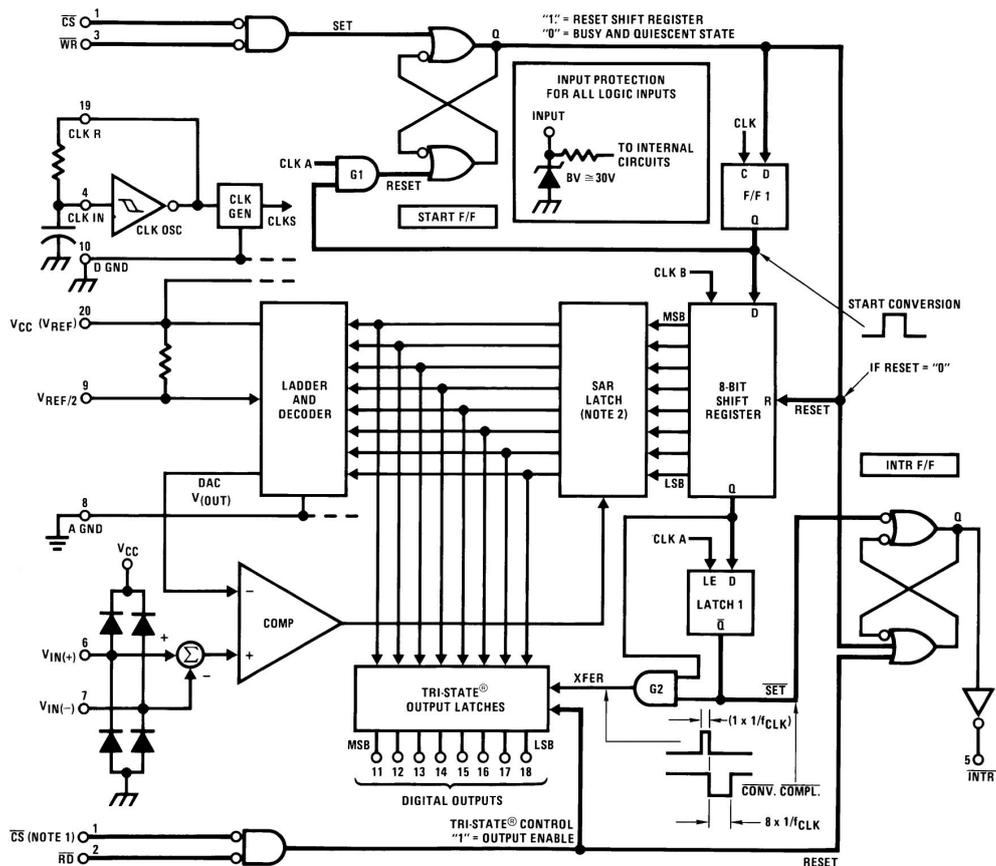
The ADC0801 series contains a circuit equivalent of the 256R network. Analog switches are sequenced by successive approximation logic to match the analog difference input voltage $[V_{IN}(+) - V_{IN}(-)]$ to a corresponding tap on the R network. The most significant bit is tested first and after 8 comparisons (64 clock cycles) a digital 8-bit binary code (1111 1111 = full-scale) is transferred to an output latch and then an interrupt is asserted (INTR makes a high-to-low transition). A conversion in process can be interrupted by issuing a second start command. The device may be operated in the free-running mode by connecting INTR to the WR input with $\overline{CS} = 0$. To ensure start-up under all possible conditions, an external WR pulse is required during the first power-up cycle.

On the high-to-low transition of the \overline{WR} input the internal SAR latches and the shift register stages are reset. As long as the \overline{CS} input and \overline{WR} input remain low, the A/D will remain in a reset state. Conversion will start from 1 to 8 clock periods after at least one of these inputs makes a low-to-high transition.

A functional diagram of the A/D converter is shown in Figure 4. All of the package pinouts are shown and the major logic control paths are drawn in heavier weight lines.

The converter is started by having \overline{CS} and \overline{WR} simultaneously low. This sets the start flip-flop (F/F) and the resulting “1” level resets the 8-bit shift register, resets the Interrupt (INTR) F/F and inputs a “1” to the D flop, F/F1, which is at the input end of the 8-bit shift register. Internal clock signals then transfer this “1” to the Q output of F/F1. The AND gate, G1, combines this “1” output with a clock signal to provide a reset signal to the start F/F. If the set signal is no longer present (either \overline{WR} or \overline{CS} is a “1”) the start F/F is reset and the 8-bit shift register then can have the “1” clocked in, which starts the conversion process. If the set signal were to still be present, this reset pulse would have no effect (both outputs of the start F/F would momentarily be at a “1” level) and the 8-bit shift register would continue to be held in the reset mode. This logic therefore allows for wide \overline{CS} and \overline{WR} signals and the converter will start after at least one of these signals returns high and the internal clocks again provide a reset signal for the start F/F.

ANEXO III



Note 13: \overline{CS} shown twice for clarity.

Note 14: SAR = Successive Approximation Register.

FIGURE 4. Block Diagram

After the "1" is clocked through the 8-bit shift register (which completes the SAR search) it appears as the input to the D-type latch, LATCH 1. As soon as this "1" is output from the shift register, the AND gate, G2, causes the new digital word to transfer to the TRI-STATE output latches. When LATCH 1 is subsequently enabled, the Q output makes a high-to-low transition which causes the INTR F/F to set. An inverting buffer then supplies the INTR input signal.

Note that this SET control of the INTR F/F remains low for 8 of the external clock periods (as the internal clocks run at 1/8 of the frequency of the external clock). If the data output is continuously enabled (\overline{CS} and \overline{RD} both held low), the INTR output will still signal the end of conversion (by a high-to-low transition), because the SET input can control the Q output of the INTR F/F even though the RESET input is constantly at a "1" level in this operating mode. This INTR output will therefore stay low for the duration of the SET signal, which is 8 periods of the external clock frequency (assuming the A/D is not started during this interval).

When operating in the free-running or continuous conversion mode (INTR pin tied to WR and CS wired low—see also section 2.8), the START F/F is SET by the high-to-low transition of the INTR signal. This resets the SHIFT REGISTER

which causes the input to the D-type latch, LATCH 1, to go low. As the latch enable input is still present, the Q output will go high, which then allows the INTR F/F to be RESET. This reduces the width of the resulting INTR output pulse to only a few propagation delays (approximately 300 ns).

When data is to be read, the combination of both \overline{CS} and \overline{RD} being low will cause the INTR F/F to be reset and the TRI-STATE output latches will be enabled to provide the 8-bit digital outputs.

2.1 Digital Control Inputs

The digital control inputs (\overline{CS} , \overline{RD} , and \overline{WR}) meet standard T²L logic voltage levels. These signals have been renamed when compared to the standard A/D Start and Output Enable labels. In addition, these inputs are active low to allow an easy interface to microprocessor control busses. For non-microprocessor based applications, the \overline{CS} input (pin 1) can be grounded and the standard A/D Start function is obtained by an active low pulse applied at the WR input (pin 3) and the Output Enable function is caused by an active low pulse at the RD input (pin 2).

DS005671-13

ANEXO IV



MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

MCS®-51 INSTRUCTION SET

Table 10. 8051 Instruction Set Summary

Interrupt Response Time: Refer to Hardware Description Chapter.				Instructions that Affect Flag Settings(1)				ARITHMETIC OPERATIONS			
Instruction		Flag		Instruction		Flag		Mnemonic	Description	Byte	Oscillator Period
		C	OV	AC		C	OV	AC			
ADD		X	X	X	CLR C			O	ADD A,Rn	1	12
ADDC		X	X	X	CPL C			X	ADD A,direct	2	12
SUBB		X	X	X	ANL C,bit			X	ADD A,@Ri	1	12
MUL		O	X		ANL C,/bit			X	ADD A,#data	2	12
DIV		O	X		ORL C,bit			X	ADDC A,Rn	1	12
DA		X			ORL C,bit			X	ADDC A,direct	2	12
RRC		X			MOV C,bit			X	ADDC A,@Ri	1	12
RLC		X			CJNE			X	ADDC A,#data	2	12
SETB C		1							SUBB A,Rn	1	12
(1)Note that operations on SFR byte address 208 or bit addresses 209-215 (i.e., the PSW or bits in the PSW) will also affect flag settings.				Note on instruction set and addressing modes:				Rn — Register R7–R0 of the currently selected Register Bank.			
direct — 8-bit internal data location's address. This could be an Internal Data RAM location (0–127) or a SFR [i.e., I/O port, control register, status register, etc. (128–255)].				@Ri — 8-bit internal data RAM location (0–255) addressed indirectly through register R1 or R0.				#data — 8-bit constant included in instruction.			
#data 16 — 16-bit constant included in instruction.				addr 16 — 16-bit destination address. Used by LCALL & LJMP. A branch can be anywhere within the 64K-byte Program Memory address space.				SUBB A,direct			
addr 11 — 11-bit destination address. Used by ACALL & AJMP. The branch will be within the same 2K-byte page of program memory as the first byte of the following instruction.				rel — Signed (two's complement) 8-bit offset byte. Used by SJMP and all conditional jumps. Range is –128 to +127 bytes relative to first byte of the following instruction.				SUBB A,@Ri			
bit — Direct Addressed bit in Internal Data RAM or Special Function Register.								SUBB A,#data			
								INC A			
								INC Rn			
								INC direct			
								INC @Ri			
								DEC A			
								DEC Rn			
								DEC direct			
								DEC @Ri			

All mnemonics copyrighted ©Intel Corporation 1980

ANEXO IV



MCS[®]-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period	Mnemonic	Description	Byte	Oscillator Period
ARITHMETIC OPERATIONS (Continued)				LOGICAL OPERATIONS (Continued)			
INC	DPTR Increment Data Pointer	1	24	RL	A Rotate Accumulator Left	1	12
MUL	AB Multiply A & B	1	48	RLC	A Rotate Accumulator Left through the Carry	1	12
DIV	AB Divide A by B	1	48	RR	A Rotate Accumulator Right	1	12
DA	A Decimal Adjust Accumulator	1	12	RRC	A Rotate Accumulator Right through the Carry	1	12
LOGICAL OPERATIONS				DATA TRANSFER			
ANL	A,Rn AND Register to Accumulator	1	12	MOV	A,Rn Move register to Accumulator	1	12
ANL	A,direct AND direct byte to Accumulator	2	12	MOV	A,direct Move direct byte to Accumulator	2	12
ANL	A,@Ri AND indirect RAM to Accumulator	1	12	MOV	A,@Ri Move indirect RAM to Accumulator	1	12
ANL	A,#data AND immediate data to Accumulator	2	12	MOV	A,#data Move immediate data to Accumulator	2	12
ANL	direct,A AND Accumulator to direct byte	2	12	MOV	Rn,A Move Accumulator to register	1	12
ANL	direct,#data AND immediate data to direct byte	3	24	MOV	Rn,direct Move direct byte to register	2	24
ORL	A,Rn OR register to Accumulator	1	12	MOV	Rn,#data Move immediate data to register	2	12
ORL	A,direct OR direct byte to Accumulator	2	12	MOV	direct,A Move Accumulator to direct byte	2	12
ORL	A,@Ri OR indirect RAM to Accumulator	1	12	MOV	direct,Rn Move register to direct byte	2	24
ORL	A,#data OR immediate data to Accumulator	2	12	MOV	direct,direct Move direct byte to direct	3	24
ORL	direct,A OR Accumulator to direct byte	2	12	MOV	direct,@Ri Move indirect RAM to direct byte	2	24
ORL	direct,#data OR immediate data to direct byte	3	24	MOV	direct,#data Move immediate data to direct byte	3	24
XRL	A,Rn Exclusive-OR register to Accumulator	1	12	MOV	@Ri,A Move Accumulator to indirect RAM	1	12
XRL	A,direct Exclusive-OR direct byte to Accumulator	2	12				
XRL	A,@Ri Exclusive-OR indirect RAM to Accumulator	1	12				
XRL	A,#data Exclusive-OR immediate data to Accumulator	2	12				
XRL	direct,A Exclusive-OR Accumulator to direct byte	2	12				
XRL	direct,#data Exclusive-OR immediate data to direct byte	3	24				
CLR	A Clear Accumulator	1	12				
CPL	A Complement Accumulator	1	12				

All mnemonics copyrighted © Intel Corporation 1980

ANEXO IV



MCS[®]-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
DATA TRANSFER (Continued)			
MOV @Ri,direct	Move direct byte to indirect RAM	2	24
MOV @Ri,#data	Move immediate data to indirect RAM	2	12
MOV DPTR,#data16	Load Data Pointer with a 16-bit constant	3	24
MOVC A,@A + DPTR	Move Code byte relative to DPTR to Acc	1	24
MOVC A,@A + PC	Move Code byte relative to PC to Acc	1	24
MOVX A,@Ri	Move External RAM (8-bit addr) to Acc	1	24
MOVX A,@DPTR	Move External RAM (16-bit addr) to Acc	1	24
MOVX @Ri,A	Move Acc to External RAM (8-bit addr)	1	24
MOVX @DPTR,A	Move Acc to External RAM (16-bit addr)	1	24
PUSH direct	Push direct byte onto stack	2	24
POP direct	Pop direct byte from stack	2	24
XCH A,Rn	Exchange register with Accumulator	1	12
XCH A,direct	Exchange direct byte with Accumulator	2	12
XCH A,@Ri	Exchange indirect RAM with Accumulator	1	12
XCHD A,@Ri	Exchange low-order Digit indirect RAM with Acc	1	12
BOOLEAN VARIABLE MANIPULATION			
CLR C	Clear Carry	1	12
CLR bit	Clear direct bit	2	12
SETB C	Set Carry	1	12
SETB bit	Set direct bit	2	12
CPL C	Complement Carry	1	12
CPL bit	Complement direct bit	2	12
ANL C,bit	AND direct bit to CARRY	2	24
ANL C,/bit	AND complement of direct bit to Carry	2	24
ORL C,bit	OR direct bit to Carry	2	24
ORL C,/bit	OR complement of direct bit to Carry	2	24
MOV C,bit	Move direct bit to Carry	2	12
MOV bit,C	Move Carry to direct bit	2	24
JC rel	Jump if Carry is set	2	24
JNC rel	Jump if Carry not set	2	24
JB bit,rel	Jump if direct Bit is set	3	24
JNB bit,rel	Jump if direct Bit is Not set	3	24
JBC bit,rel	Jump if direct Bit is set & clear bit	3	24
PROGRAM BRANCHING			
ACALL addr11	Absolute Subroutine Call	2	24
LCALL addr16	Long Subroutine Call	3	24
RET	Return from Subroutine	1	24
RETI	Return from interrupt	1	24
AJMP addr11	Absolute Jump	2	24
LJMP addr16	Long Jump	3	24
SJMP rel	Short Jump (relative addr)	2	24

All mnemonics copyrighted ©Intel Corporation 1980

ANEXO IV



MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 10. 8051 Instruction Set Summary (Continued)

Mnemonic	Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)			
JMP @A + DPTR	Jump indirect relative to the DPTR	1	24
JZ rel	Jump if Accumulator is Zero	2	24
JNZ rel	Jump if Accumulator is Not Zero	2	24
CJNE A,direct,rel	Compare direct byte to Acc and Jump if Not Equal	3	24
CJNE A,#data,rel	Compare immediate to Acc and Jump if Not Equal	3	24

Mnemonic	Description	Byte	Oscillator Period
PROGRAM BRANCHING (Continued)			
CJNE Rn,#data,rel	Compare immediate to register and Jump if Not Equal	3	24
CJNE @Ri,#data,rel	Compare immediate to indirect and Jump if Not Equal	3	24
DJNZ Rn,rel	Decrement register and Jump if Not Zero	2	24
DJNZ direct,rel	Decrement direct byte and Jump if Not Zero	3	24
NOP	No Operation	1	12

All mnemonics copyrighted ©Intel Corporation 1980

ANEXO IV



MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 11. Instruction Opcodes in Hexadecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP		33	1	RLC	A
01	2	AJMP	code addr	34	2	ADDC	A, #data
02	3	LJMP	code addr	35	2	ADDC	A,data addr
03	1	RR	A	36	1	ADDC	A,@R0
04	1	INC	A	37	1	ADDC	A,@R1
05	2	INC	data addr	38	1	ADDC	A,R0
06	1	INC	@R0	39	1	ADDC	A,R1
07	1	INC	@R1	3A	1	ADDC	A,R2
08	1	INC	R0	3B	1	ADDC	A,R3
09	1	INC	R1	3C	1	ADDC	A,R4
0A	1	INC	R2	3D	1	ADDC	A,R5
0B	1	INC	R3	3E	1	ADDC	A,R6
0C	1	INC	R4	3F	1	ADDC	A,R7
0D	1	INC	R5	40	2	JC	code addr
0E	1	INC	R6	41	2	AJMP	code addr
0F	1	INC	R7	42	2	ORL	data addr,A
10	3	JBC	bit addr, code addr	43	3	ORL	data addr, #data
11	2	ACALL	code addr	44	2	ORL	A, #data
12	3	LCALL	code addr	45	2	ORL	A,data addr
13	1	RRC	A	46	1	ORL	A,@R0
14	1	DEC	A	47	1	ORL	A,@R1
15	2	DEC	data addr	48	1	ORL	A,R0
16	1	DEC	@R0	49	1	ORL	A,R1
17	1	DEC	@R1	4A	1	ORL	A,R2
18	1	DEC	R0	4B	1	ORL	A,R3
19	1	DEC	R1	4C	1	ORL	A,R4
1A	1	DEC	R2	4D	1	ORL	A,R5
1B	1	DEC	R3	4E	1	ORL	A,R6
1C	1	DEC	R4	4F	1	ORL	A,R7
1D	1	DEC	R5	50	2	JNC	code addr
1E	1	DEC	R6	51	2	ACALL	code addr
1F	1	DEC	R7	52	2	ANL	data addr,A
20	3	JB	bit addr, code addr	53	3	ANL	data addr, #data
21	2	AJMP	code addr	54	2	ANL	A, #data
22	1	RET		55	2	ANL	A,data addr
23	1	RL	A	56	1	ANL	A,@R0
24	2	ADD	A, #data	57	1	ANL	A,@R1
25	2	ADD	A,data addr	58	1	ANL	A,R0
26	1	ADD	A,@R0	59	1	ANL	A,R1
27	1	ADD	A,@R1	5A	1	ANL	A,R2
28	1	ADD	A,R0	5B	1	ANL	A,R3
29	1	ADD	A,R1	5C	1	ANL	A,R4
2A	1	ADD	A,R2	5D	1	ANL	A,R5
2B	1	ADD	A,R3	5E	1	ANL	A,R6
2C	1	ADD	A,R4	5F	1	ANL	A,R7
2D	1	ADD	A,R5	60	2	JZ	code addr
2E	1	ADD	A,R6	61	2	AJMP	code addr
2F	1	ADD	A,R7	62	2	XRL	data addr,A
30	3	JNB	bit addr, code addr	63	3	XRL	data addr, #data
31	2	ACALL	code addr	64	2	XRL	A, #data
32	1	RETI		65	2	XRL	A,data addr

ANEXO IV



MCS[®]-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

Table 11. Instruction Opcodes in Hexadecimal Order (Continued)

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0	99	1	SUBB	A,R1
67	1	XRL	A,@R1	9A	1	SUBB	A,R2
68	1	XRL	A,R0	9B	1	SUBB	A,R3
69	1	XRL	A,R1	9C	1	SUBB	A,R4
6A	1	XRL	A,R2	9D	1	SUBB	A,R5
6B	1	XRL	A,R3	9E	1	SUBB	A,R6
6C	1	XRL	A,R4	9F	1	SUBB	A,R7
6D	1	XRL	A,R5	A0	2	ORL	C,/bit addr
6E	1	XRL	A,R6	A1	2	AJMP	code addr
6F	1	XRL	A,R7	A2	2	MOV	C,bit addr
70	2	JNZ	code addr	A3	1	INC	DPTR
71	2	ACALL	code addr	A4	1	MUL	AB
72	2	ORL	C,bit addr	A5		reserved	
73	1	JMP	@A + DPTR	A6	2	MOV	@R0,data addr
74	2	MOV	A,#data	A7	2	MOV	@R1,data addr
75	3	MOV	data addr,#data	A8	2	MOV	R0,data addr
76	2	MOV	@R0,#data	A9	2	MOV	R1,data addr
77	2	MOV	@R1,#data	AA	2	MOV	R2,data addr
78	2	MOV	R0,#data	AB	2	MOV	R3,data addr
79	2	MOV	R1,#data	AC	2	MOV	R4,data addr
7A	2	MOV	R2,#data	AD	2	MOV	R5,data addr
7B	2	MOV	R3,#data	AE	2	MOV	R6,data addr
7C	2	MOV	R4,#data	AF	2	MOV	R7,data addr
7D	2	MOV	R5,#data	B0	2	ANL	C,/bit addr
7E	2	MOV	R6,#data	B1	2	ACALL	code addr
7F	2	MOV	R7,#data	B2	2	CPL	bit addr
80	2	SJMP	code addr	B3	1	CPL	C
81	2	AJMP	code addr	B4	3	CJNE	A,#data,code addr
82	2	ANL	C,bit addr	B5	3	CJNE	A,data addr,code addr
83	1	MOVC	A,@A + PC	B6	3	CJNE	@R0,#data,code addr
84	1	DIV	AB	B7	3	CJNE	@R1,#data,code addr
85	3	MOV	data addr,data addr	B8	3	CJNE	R0,#data,code addr
86	2	MOV	data addr,@R0	B9	3	CJNE	R1,#data,code addr
87	2	MOV	data addr,@R1	BA	3	CJNE	R2,#data,code addr
88	2	MOV	data addr,R0	BB	3	CJNE	R3,#data,code addr
89	2	MOV	data addr,R1	BC	3	CJNE	R4,#data,code addr
8A	2	MOV	data addr,R2	BD	3	CJNE	R5,#data,code addr
8B	2	MOV	data addr,R3	BE	3	CJNE	R6,#data,code addr
8C	2	MOV	data addr,R4	BF	3	CJNE	R7,#data,code addr
8D	2	MOV	data addr,R5	C0	2	PUSH	data addr
8E	2	MOV	data addr,R6	C1	2	AJMP	code addr
8F	2	MOV	data addr,R7	C2	2	CLR	bit addr
90	3	MOV	DPTR,#data	C3	1	CLR	C
91	2	ACALL	code addr	C4	1	SWAP	A
92	2	MOV	bit addr,C	C5	2	XCH	A,data addr
93	1	MOVC	A,@A + DPTR	C6	1	XCH	A,@R0
94	2	SUBB	A,#data	C7	1	XCH	A,@R1
95	2	SUBB	A,data addr	C8	1	XCH	A,R0
96	1	SUBB	A,@R0	C9	1	XCH	A,R1
97	1	SUBB	A,@R1	CA	1	XCH	A,R2
98	1	SUBB	A,R0	CB	1	XCH	A,R3

ANEXO IV**MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET****Table 11. Instruction Opcodes in Hexadecimal Order (Continued)**

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4	E6	1	MOV	A,@R0
CD	1	XCH	A,R5	E7	1	MOV	A,@R1
CE	1	XCH	A,R6	E8	1	MOV	A,R0
CF	1	XCH	A,R7	E9	1	MOV	A,R1
D0	2	POP	data addr	EA	1	MOV	A,R2
D1	2	ACALL	code addr	EB	1	MOV	A,R3
D2	2	SETB	bit addr	EC	1	MOV	A,R4
D3	1	SETB	C	ED	1	MOV	A,R5
D4	1	DA	A	EE	1	MOV	A,R6
D5	3	DJNZ	data addr,code addr	EF	1	MOV	A,R7
D6	1	XCHD	A,@R0	F0	1	MOVX	@DPTR,A
D7	1	XCHD	A,@R1	F1	2	ACALL	code addr
D8	2	DJNZ	R0,code addr	F2	1	MOVX	@R0,A
D9	2	DJNZ	R1,code addr	F3	1	MOVX	@R1,A
DA	2	DJNZ	R2,code addr	F4	1	CPL	A
DB	2	DJNZ	R3,code addr	F5	2	MOV	data addr,A
DC	2	DJNZ	R4,code addr	F6	1	MOV	@R0,A
DD	2	DJNZ	R5,code addr	F7	1	MOV	@R1,A
DE	2	DJNZ	R6,code addr	F8	1	MOV	R0,A
DF	2	DJNZ	R7,code addr	F9	1	MOV	R1,A
E0	1	MOVX	A,@DPTR	FA	1	MOV	R2,A
E1	2	AJMP	code addr	FB	1	MOV	R3,A
E2	1	MOVX	A,@R0	FC	1	MOV	R4,A
E3	1	MOVX	A,@R1	FD	1	MOV	R5,A
E4	1	CLR	A	FE	1	MOV	R6,A
E5	2	MOV	A,data addr	FF	1	MOV	R7,A

ANEXO IV



MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

DJNZ <byte>, <rel-addr>

Function: Decrement and Jump if Not Zero

Description: DJNZ decrements the location indicated by 1, and branches to the address indicated by the second operand if the resulting value is not zero. An original value of 00H will underflow to 0FFH. No flags are affected. The branch destination would be computed by adding the signed relative-displacement value in the last instruction byte to the PC, after incrementing the PC to the first byte of the following instruction.

The location decremented may be a register or directly addressed byte.

Note: When this instruction is used to modify an output port, the value used as the original port data will be read from the output data latch, *not* the input pins.

Example: Internal RAM locations 40H, 50H, and 60H contain the values 01H, 70H, and 15H, respectively. The instruction sequence,

```
DJNZ 40H,LABEL__1
DJNZ 50H,LABEL__2
DJNZ 60H,LABEL__3
```

will cause a jump to the instruction at label LABEL__2 with the values 00H, 6FH, and 15H in the three RAM locations. The first jump was *not* taken because the result was zero.

This instruction provides a simple way of executing a program loop a given number of times, or for adding a moderate time delay (from 2 to 512 machine cycles) with a single instruction. The instruction sequence,

```
TOGGLE:  MOV     R2,#8
          CPL    P1.7
          DJNZ   R2,TOGGLE
```

will toggle P1.7 eight times, causing four output pulses to appear at bit 7 of output Port 1. Each pulse will last three machine cycles; two for DJNZ and one to alter the pin.

DJNZ Rn,rel

Bytes: 2

Cycles: 2

Encoding:

1 1 0 1	1 r r r
---------	---------

rel. address

Operation: DJNZ
 $(PC) \leftarrow (PC) + 2$
 $(Rn) \leftarrow (Rn) - 1$
 IF $(Rn) > 0$ or $(Rn) < 0$
 THEN
 $(PC) \leftarrow (PC) + rel$

ANEXO IV



MCS®-51 PROGRAMMER'S GUIDE AND INSTRUCTION SET

MOVC A,@A+ <base-reg>

Function: Move Code byte

Description: The MOVC instructions load the Accumulator with a code byte, or constant from program memory. The address of the byte fetched is the sum of the original unsigned eight-bit Accumulator contents and the contents of a sixteen-bit base register, which may be either the Data Pointer or the PC. In the latter case, the PC is incremented to the address of the following instruction before being added with the Accumulator; otherwise the base register is not altered. Sixteen-bit addition is performed so a carry-out from the low-order eight bits may propagate through higher-order bits. No flags are affected.

Example: A value between 0 and 3 is in the Accumulator. The following instructions will translate the value in the Accumulator to one of four values defined by the DB (define byte) directive.

```
REL_PC: INC  A
          MOVC A,@A+PC
          RET
          DB   66H
          DB   77H
          DB   88H
          DB   99H
```

If the subroutine is called with the Accumulator equal to 01H, it will return with 77H in the Accumulator. The INC A before the MOVC instruction is needed to "get around" the RET instruction above the table. If several bytes of code separated the MOVC from the table, the corresponding number would be added to the Accumulator instead.

MOVC A,@A+DPTR

Bytes: 1

Cycles: 2

Encoding:

1 0 0 1	0 0 1 1
---------	---------

Operation: MOVC
 $(A) \leftarrow ((A) + (DPTR))$

MOVC A,@A + PC

Bytes: 1

Cycles: 2

Encoding:

1 0 0 0	0 0 1 1
---------	---------

Operation: MOVC
 $(PC) \leftarrow (PC) + 1$
 $(A) \leftarrow ((A) + (PC))$